



FZ3A

硬件手册

芯驿电子科技（上海）有限公司

www.alinx.com

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

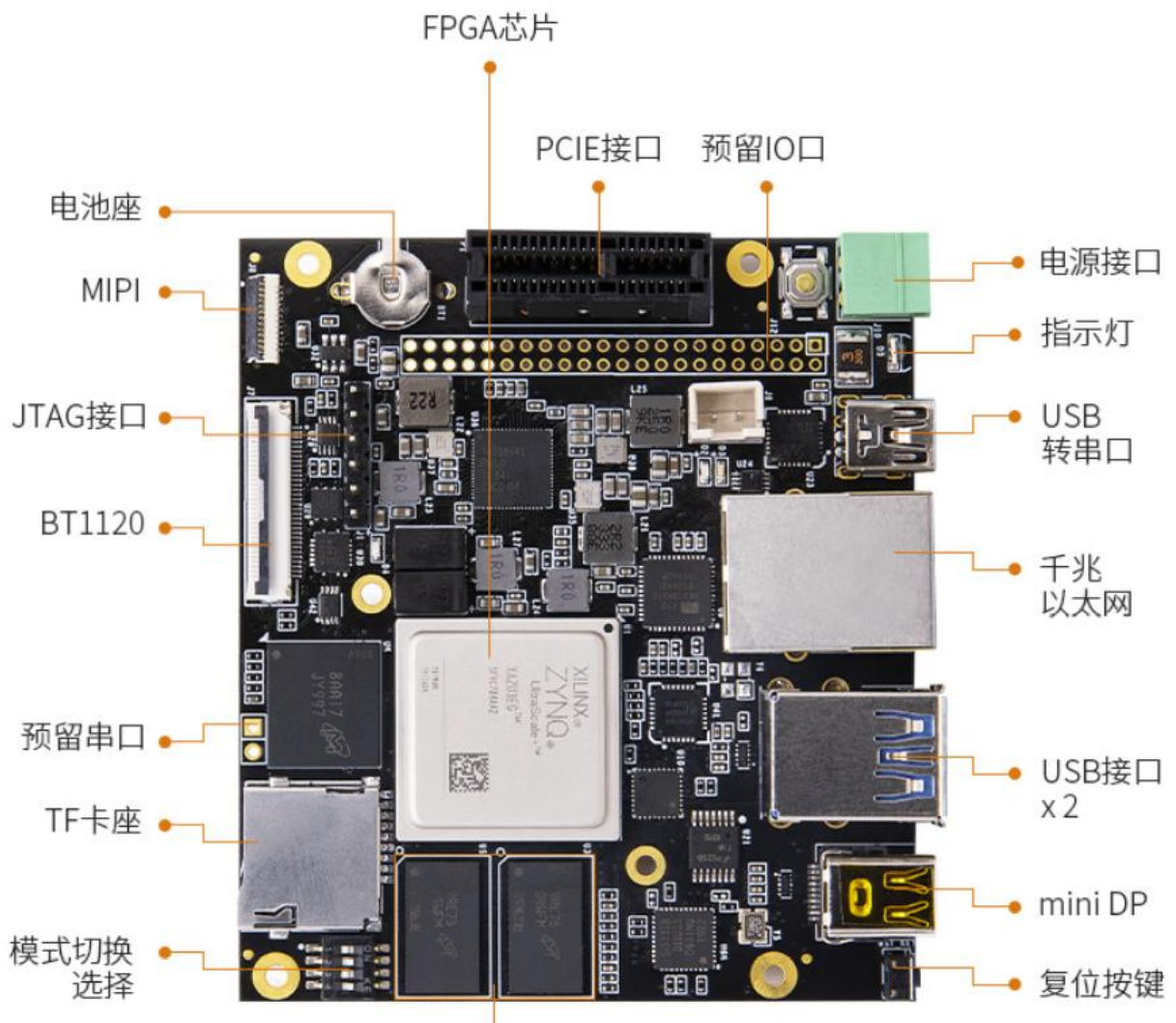
目 录

文档版本控制	2
一、 FZ3A 简介	4
二、 ZYNQ 芯片.....	5
三、 DDR4 DRAM	7
四、 QSPI Flash.....	10
五、 eMMC Flash	10
六、 EEPROM.....	11
七、 DP 显示接口	12
八、 USB 接口	13
九、 千兆以太网接口.....	14
十、 USB Uart 接口	16
十一、 SD 卡槽.....	16
十二、 PCIE 接口.....	17
十三、 44 针扩展口	18
十四、 MIPI 接口	20
十五、 BT1120 接口	21
十六、 JTAG 调试口.....	23
十七、 拨码开关配置.....	23
十八、 LED 灯	24
十九、 系统时钟	25
二十、 电源.....	25
二十一、 结构尺寸图.....	26

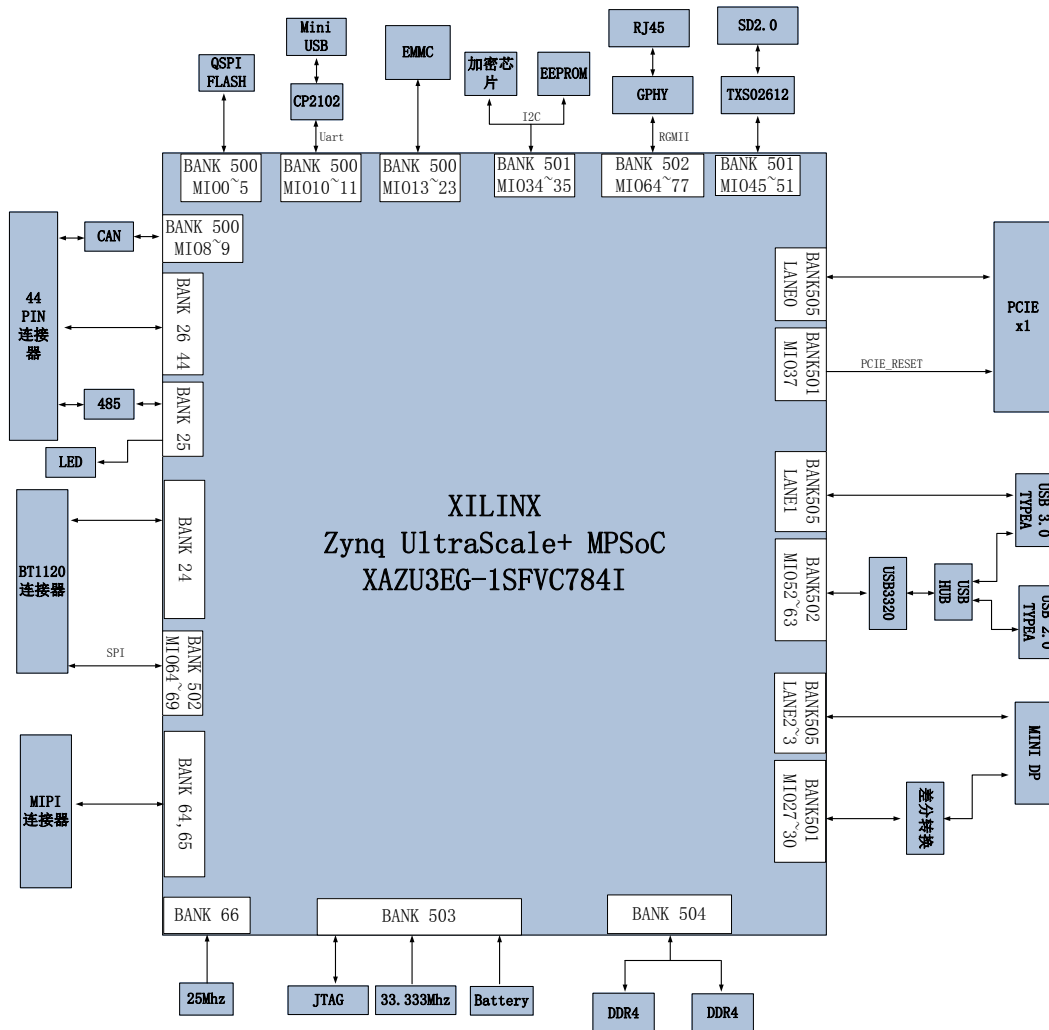
一、 FZ3A 简介

FZ3A 的特点是体积小并扩展了丰富的外设。主芯片采用 Xilinx 公司的 Zynq UltraScale+ MPSoCs EG 系列的芯片，型号为 XAZU3EG-1SFVC784I。PS 端挂载了 2 片 DDR4 (2GB , 32bit) , 1 片 8GB eMMC FLASH 存储芯片和 1 片 256Mb 的 QSPI FLASH。

外围接口包含 2 个 USB 接口 (1 个 USB3.0 , 1 个 USB2.0)、1 个 MINI DP 接口、1 路千兆以太网接口、1 个 USB 串口、1 路 PCIE 接口、1 路 TF 卡接口、1 个 44 针扩展口、1 路 MIPI 接口 , 1 路 BT1120 接口和按键 LED。



下图为整个开发系统的结构示意图：



二、 ZYNQ 芯片

XAZU3EG-1SFVC784I 芯片的 PS 系统 PS 系统集成了 4 个 ARM Cortex™-A53 处理器，速度高达 1.2Ghz，支持 2 级 Cache；另外还包含 2 个 Cortex-R5 处理器，速度高达 500Mhz。

XAZU3EG 支持 32 位或者 64 位的 DDR4, LPDDR4, DDR3, DDR3L, LPDDR3 存储芯片，在 PS 端带有丰富的高速接口如 PCIe Gen2, USB3.0, SATA 3.1, DisplayPort；同时另外也支持 USB2.0, 千兆以太网, SD/SDIO, I2C, CAN, UART, GPIO 等接口。PL 端内部含有丰富的可编程逻辑单元，DSP 和内部 RAM。XAZU3EG 芯片的总体框图下图所示

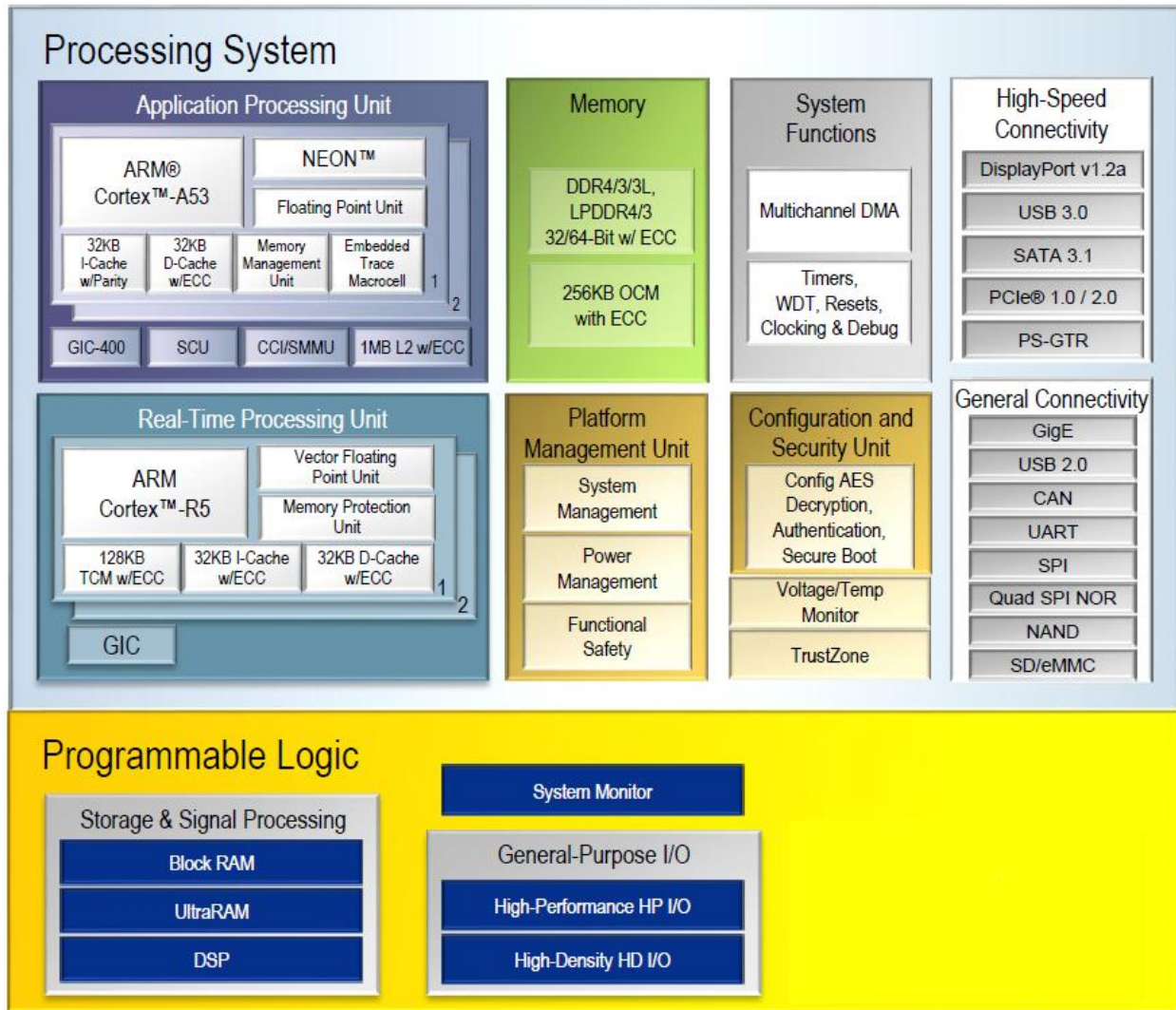


图 ZU3EG芯片的总体框图

其中 PS 系统部分的主要参数如下：

- ARM 四核 Cortex™-A53 处理器，速度高达 1.2GHz，每个 CPU 32KB 1 级指令和数据缓存，1MB 2 级缓存 2 个 CPU 共享。
- ARM 双核 Cortex-R5 处理器，速度高达 500MHz，每个 CPU 32KB 1 级指令和数据缓存，及 128K 紧耦合内存。
- 外部存储接口，支持 32/64bit DDR4/3/3L、LPDDR4/3 接口。
- 静态存储接口，支持 NAND, 2xQuad-SPI FLASH。
- 高速连接接口，支持 PCIe Gen2 x4, 2xUSB3.0, Sata 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet。
- 普通连接接口：2xUSB2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO。
- 电源管理：支持 Full/Low/PL/Battery 四部分电源的划分。
- 加密算法：支持 RSA, AES 和 SHA。

- 系统监控：10 位 1Mbps 的 AD 采样，用于温度和电压的检测。

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元 Logic Cells：154K；
- 触发器(flip-flops)：141K；
- 查找表 LUTs：71K；
- Block RAM：9.4Mb；
- 时钟管理单元 (CMTs)：3
- 乘法器 18x25MACCs：360

XAZU3EG-1SFVC784I芯片的速度等级为-1，工业级，封装为SFVC784。

三、 DDR4 DRAM

FZ3A板上PS端配有2片Micron(美光)的1GB的DDR4芯片,型号为MT40A512M16LY-062EIT,组成32位数据总线带宽和2GB的容量。PS端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps)。DDR4 SDRAM的具体配置如下所示。

位号	芯片型号	容量	厂家
U3,U5	MT40A512M16LY-062EIT	512M x 16bit	Micron

表 3-1 DDR4 SDRAM 配置

PS 端的 DDR4 的硬件连接方式如下图所示:

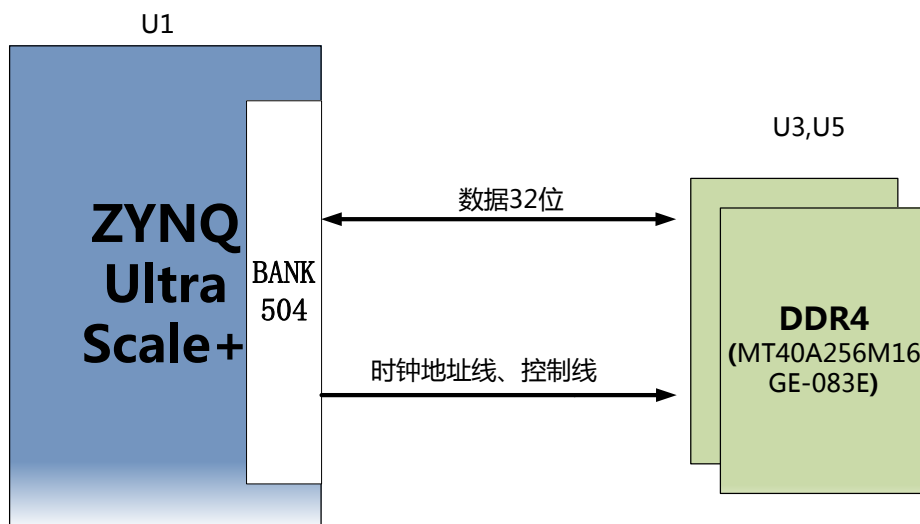


图3-1 PS端DDR4 DRAM原理图部分

PS 端 DDR4 SDRAM 引脚分配：

信号名称	引脚名	引脚号
PS_DDR4_DQS0_P	PS_DDR_DQS_P0_504	AF21
PS_DDR4_DQS0_N	PS_DDR_DQS_N0_504	AG21
PS_DDR4_DQS1_P	PS_DDR_DQS_P1_504	AF23
PS_DDR4_DQS1_N	PS_DDR_DQS_N1_504	AG23
PS_DDR4_DQS2_P	PS_DDR_DQS_P2_504	AF25
PS_DDR4_DQS2_N	PS_DDR_DQS_N2_504	AF26
PS_DDR4_DQS3_P	PS_DDR_DQS_P3_504	AE27
PS_DDR4_DQS3_N	PS_DDR_DQS_N3_504	AF27
PS_DDR4_DQ0	PS_DDR_DQ0_504	AD21
PS_DDR4_DQ1	PS_DDR_DQ1_504	AE20
PS_DDR4_DQ2	PS_DDR_DQ2_504	AD20
PS_DDR4_DQ3	PS_DDR_DQ3_504	AF20
PS_DDR4_DQ4	PS_DDR_DQ4_504	AH21
PS_DDR4_DQ5	PS_DDR_DQ5_504	AH20
PS_DDR4_DQ6	PS_DDR_DQ6_504	AH19
PS_DDR4_DQ7	PS_DDR_DQ7_504	AG19
PS_DDR4_DQ8	PS_DDR_DQ8_504	AF22
PS_DDR4_DQ9	PS_DDR_DQ9_504	AH22
PS_DDR4_DQ10	PS_DDR_DQ10_504	AE22
PS_DDR4_DQ11	PS_DDR_DQ11_504	AD22
PS_DDR4_DQ12	PS_DDR_DQ12_504	AH23
PS_DDR4_DQ13	PS_DDR_DQ13_504	AH24
PS_DDR4_DQ14	PS_DDR_DQ14_504	AE24
PS_DDR4_DQ15	PS_DDR_DQ15_504	AG24
PS_DDR4_DQ16	PS_DDR_DQ16_504	AC26
PS_DDR4_DQ17	PS_DDR_DQ17_504	AD26
PS_DDR4_DQ18	PS_DDR_DQ18_504	AD25
PS_DDR4_DQ19	PS_DDR_DQ19_504	AD24
PS_DDR4_DQ20	PS_DDR_DQ20_504	AG26
PS_DDR4_DQ21	PS_DDR_DQ21_504	AH25
PS_DDR4_DQ22	PS_DDR_DQ22_504	AH26
PS_DDR4_DQ23	PS_DDR_DQ23_504	AG25

PS_DDR4_DQ24	PS_DDR_DQ24_504	AH27
PS_DDR4_DQ25	PS_DDR_DQ25_504	AH28
PS_DDR4_DQ26	PS_DDR_DQ26_504	AF28
PS_DDR4_DQ27	PS_DDR_DQ27_504	AG28
PS_DDR4_DQ28	PS_DDR_DQ28_504	AC27
PS_DDR4_DQ29	PS_DDR_DQ29_504	AD27
PS_DDR4_DQ30	PS_DDR_DQ30_504	AD28
PS_DDR4_DQ31	PS_DDR_DQ31_504	AC28
PS_DDR4_DM0	PS_DDR_DM0_504	AG20
PS_DDR4_DM1	PS_DDR_DM1_504	AE23
PS_DDR4_DM2	PS_DDR_DM2_504	AE25
PS_DDR4_DM3	PS_DDR_DM3_504	AE28
PS_DDR4_A0	PS_DDR_A0_504	W28
PS_DDR4_A1	PS_DDR_A1_504	Y28
PS_DDR4_A2	PS_DDR_A2_504	AB28
PS_DDR4_A3	PS_DDR_A3_504	AA28
PS_DDR4_A4	PS_DDR_A4_504	Y27
PS_DDR4_A5	PS_DDR_A5_504	AA27
PS_DDR4_A6	PS_DDR_A6_504	Y22
PS_DDR4_A7	PS_DDR_A7_504	AA23
PS_DDR4_A8	PS_DDR_A8_504	AA22
PS_DDR4_A9	PS_DDR_A9_504	AB23
PS_DDR4_A10	PS_DDR_A10_504	AA25
PS_DDR4_A11	PS_DDR_A11_504	AA26
PS_DDR4_A12	PS_DDR_A12_504	AB25
PS_DDR4_A13	PS_DDR_A13_504	AB26
PS_DDR4_WE_B	PS_DDR_A14_504	AB24
PS_DDR4_CAS_B	PS_DDR_A15_504	AC24
PS_DDR4_RAS_B	PS_DDR_A16_504	AC23
PS_DDR4_ACT_B	PS_DDR_ACT_N_504	Y23
PS_DDR4_ALERT_B	PS_DDR_ALERT_N_504	U25
PS_DDR4_BA0	PS_DDR_BA0_504	V23
PS_DDR4_BA1	PS_DDR_BA1_504	W22
PS_DDR4_BG0	PS_DDR_BG0_504	W24
PS_DDR4_CS0_B	PS_DDR_CS_N0_504	W27

PS_DDR4_ODT0	PS_DDR_ODT0_504	U28
PS_DDR4_PARITY	PS_DDR_PARITY_504	V24
PS_DDR4_RESET_B	PS_DDR_RST_N_504	U23
PS_DDR4_CLK0_P	PS_DDR_CK0_P_504	W25
PS_DDR4_CLK0_N	PS_DDR_CK0_N_504	W26
PS_DDR4_CKE0	PS_DDR_CKE0_504	V28

四、 QSPI Flash

FZ3A 配有 1 片 256MBit 大小的 Quad-SPI FLASH 芯片，型号为 MT25QU256ABA1EW9-0SIT。QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上，图 4-1 为 QSPI Flash 在原理图中的部分。

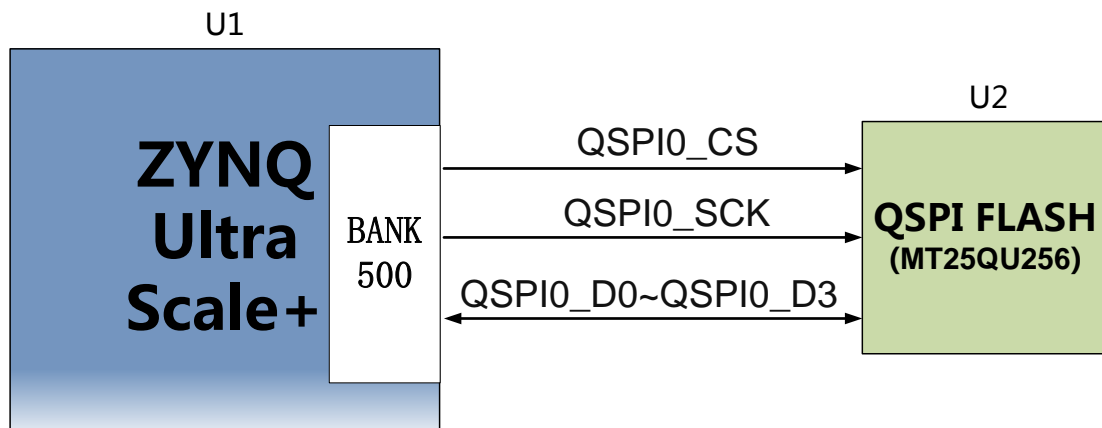


图 4-1 QSPI Flash 连接示意图

配置芯片引脚分配：

信号名称	引脚名	引脚号
MIO0_QSPI0_SCLK	PS_MIO0_500	AG15
MIO1_QSPI0_IO1	PS_MIO1_500	AG16
MIO2_QSPI0_IO2	PS_MIO2_500	AF15
MIO3_QSPI0_IO3	PS_MIO3_500	AH15
MIO4_QSPI0_IO0	PS_MIO4_500	AH16
MIO5_QSPI0_SS_B	PS_MIO5_500	AD16

五、 eMMC Flash

FZ3A 配有一片容量为 8GB 的 eMMC FLASH 芯片。eMMC FLASH 连接到 ZYNQ

UltraScale+的 PS 部分 BANK500 的 GPIO 口上 ,图 5-1 为 eMMC Flash 在原理图中的部分。

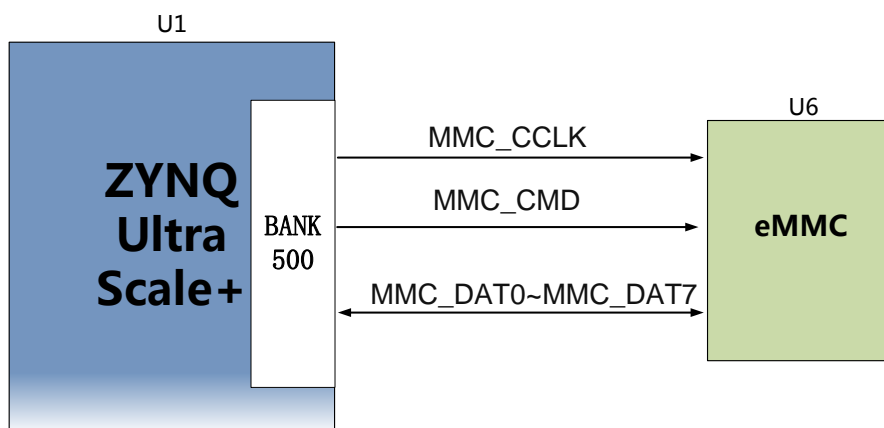


图 5-1 eMMC Flash 连接示意图

配置芯片引脚分配：

信号名称	引脚名	引脚号
MMC_DAT0	PS_MIO13_500	AH18
MMC_DAT1	PS_MIO14_500	AG18
MMC_DAT2	PS_MIO15_500	AE18
MMC_DAT3	PS_MIO16_500	AF18
MMC_DAT4	PS_MIO17_500	AC18
MMC_DAT5	PS_MIO18_500	AC19
MMC_DAT6	PS_MIO19_500	AE19
MMC_DAT7	PS_MIO20_500	AD19
MMC_CMD	PS_MIO21_500	AC21
MMC_CCLK	PS_MIO22_500	AB20
MMC_RSTN	PS_MIO23_500	AB18

六、EEPROM

FZ3A 开发板板载了一片 EEPROM ,型号为 24LC04。EEPROM 的 I2C 信号连接的 ZYNQ PS 端的 MIO 口上。图 6-1 为 EEPROM 的原理图

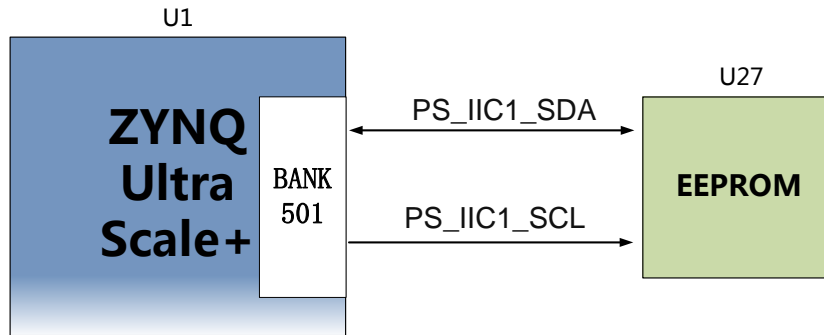


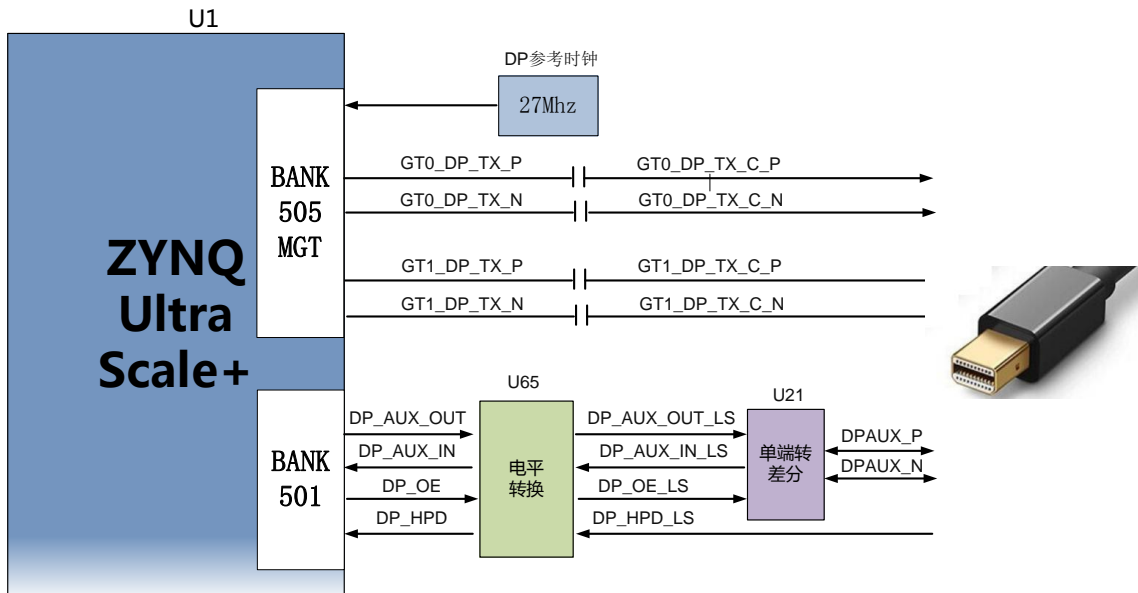
图 7-5 EEPROM 原理图部分

EEPROM 引脚分配：

信号名称	引脚名	引脚号
PS_IIC1_SCL	PS_MIO32_501	J16
PS_IIC1_SDA	PS_MIO33_501	L16

七、 DP 显示接口

FZ3A 带有 1 路 MINI 型的 DisplayPort 输出显示接口，用于视频图像的显示，最高支持 4K x 2K@30Fps 输出。ZU3EG PS MGT 的 LANE0 和 LANE1 的 TX 信号以差分信号方式连接到 DP 连接器。DisplayPort 辅助通道连接到 PS 的 MIO 管脚上。DP 输出接口的示意图如图 7-1 所示：



7-1 DP 接口设计示意图

DisplayPort 接口 ZYNQ 引脚分配如下：

信号名称	ZYNQ 引脚名	引脚号	备注
GT0_DP_TX_P	PS_MGTTXP3_505	B23	DP 数据低位发送正
GT0_DP_TX_N	PS_MGTTXN3_505	B24	DP 数据低位发送负
GT1_DP_TX_P	PS_MGTTXP2_505	C25	DP 数据高位发送正
GT1_DP_TX_N	PS_MGTTXN2_505	C26	DP 数据高位发送负
505_DP_CLKP	PS_MGTREFCLK2P_505	C21	DP 参考时钟正
505_DP_CLKN	PS_MGTREFCLK2N_505	C22	DP 参考时钟负
DP_AUX_OUT	PS_MIO27	J15	DP 辅助数据输出
DP_AUX_IN	PS_MIO30	F16	DP 辅助数据输入
DP_OE	PS_MIO29	G16	DP 辅助数据输出使能
DP_HPD	PS_MIO28	K15	DP 插入信号检测

八、USB 接口

FZ3A 板上有 2 个 USB 接口 (包含一个 USB2.0 和一个 USB3.0), 接口为 HOST 工作模式 (Type A), 数据传输速度高达 5.0Gb/s。USB2.0 通过 ULPI 接口连接外部的 USB PHY 芯片和 USB2.0 HUB 芯片, 实现高速的 USB3.0 和 USB2.0 的数据通信。

USB 连接的示意图如 8-1 所示 :

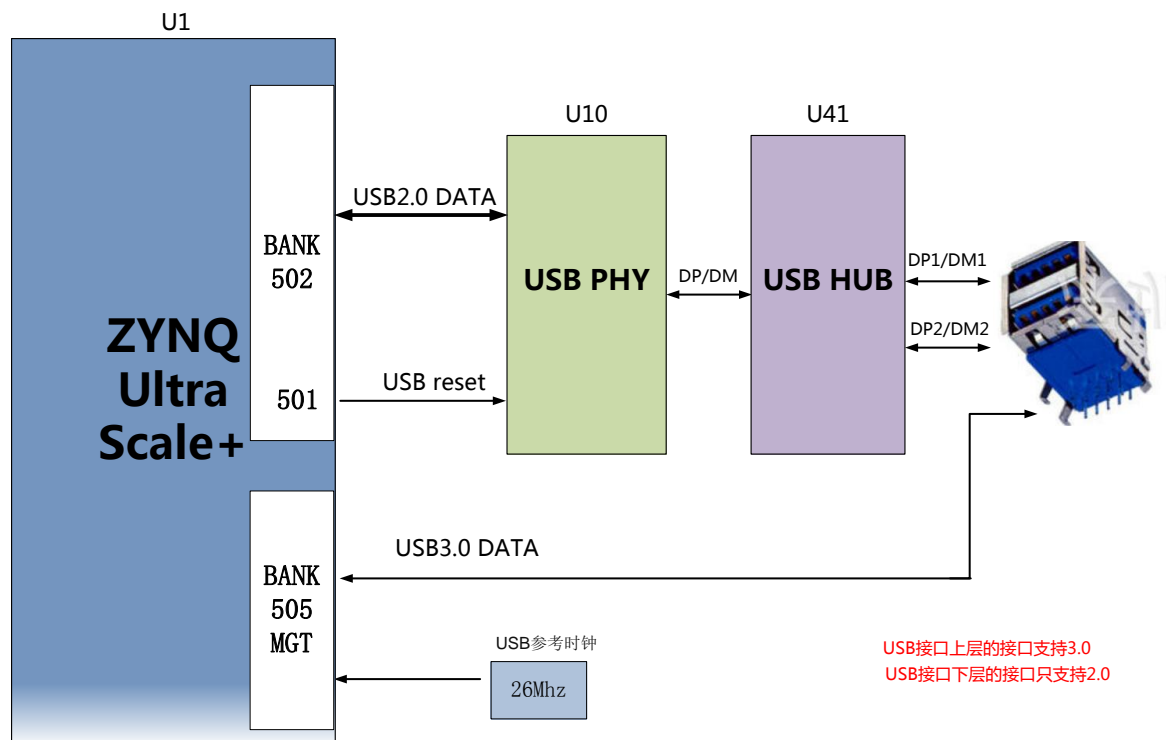


图 8-1 USB 接口示意图

USB 引脚分配 :

信号名称	引脚名	引脚号	备注
USB_SSTXP	PS_MGTTXP2_505	D23	USB3.0 数据发送正
USB_SSTXN	PS_MGTTXN2_505	D24	USB3.0 数据发送负
USB_SSRXP	PS_MGTRXP2_505	D27	USB3.0 数据接收正
USB_SSRXN	PS_MGTRXN2_505	D28	USB3.0 数据接收负
505_USB_CLKP	PS_MGTREFCLK2P_505	E21	USB3.0 参考时钟正
505_USB_CLKN	PS_MGTREFCLK2N_505	E22	USB3.0 参考时钟负
USB_DATA0	PS_MIO56	C16	USB2.0 数据 Bit0
USB_DATA1	PS_MIO57	A16	USB2.0 数据 Bit1
USB_DATA2	PS_MIO54	F17	USB2.0 数据 Bit2
USB_DATA3	PS_MIO59	E17	USB2.0 数据 Bit3
USB_DATA4	PS_MIO60	C17	USB2.0 数据 Bit4
USB_DATA5	PS_MIO61	D17	USB2.0 数据 Bit5
USB_DATA6	PS_MIO62	A17	USB2.0 数据 Bit6
USB_DATA7	PS_MIO63	E18	USB2.0 数据 Bit7
USB_STP	PS_MIO58	F18	USB2.0 停止信号
USB_DIR	PS_MIO53	D16	USB2.0 数据方向信号
USB_CLK	PS_MIO52	G18	USB2.0 时钟信号
USB_NXT	PS_MIO55	B16	USB2.0 下一数据信号

九、 千兆以太网接口

FZ3A 上有 1 路千兆以太网接口，以太网接口是通过 GPHY 芯片连接的 PS 的 BANK502 上。GPHY 芯片采用 Micrel 公司的 KSZ9031RNXIC 以太网 PHY 芯片，PHY Address 为 001。图 9-1 为 ZYNQ PS 端以太网 PHY 芯片连接示意图：

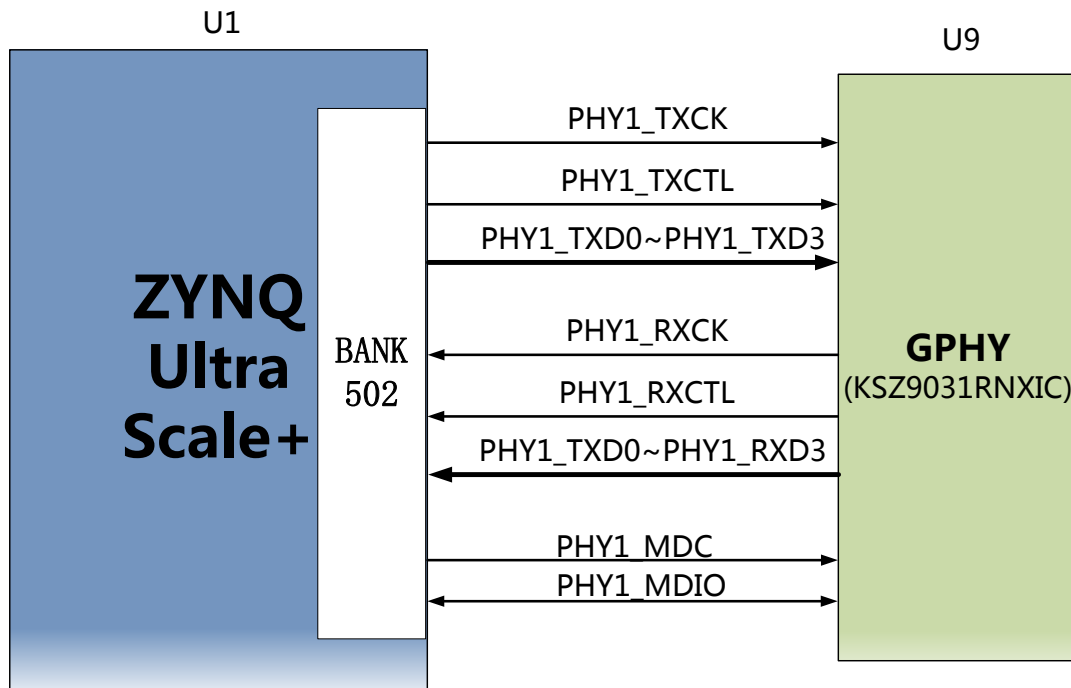


图 9-1 ZYNQ PS 系统与 GPHY 连接示意图

千兆以太网引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY1_TXCK	PS_MIO64	E19	RGMII 发送时钟
PHY1_TXD0	PS_MIO65	A18	发送数据 bit 0
PHY1_TXD1	PS_MIO66	G19	发送数据 bit1
PHY1_TXD2	PS_MIO67	B18	发送数据 bit2
PHY1_TXD3	PS_MIO68	C18	发送数据 bit3
PHY1_TXCTL	PS_MIO69	D19	发送使能信号
PHY1_RXCK	PS_MIO70	C19	RGMII 接收时钟
PHY1_RXD0	PS_MIO71	B19	接收数据 Bit0
PHY1_RXD1	PS_MIO72	G20	接收数据 Bit1
PHY1_RXD2	PS_MIO73	G21	接收数据 Bit2
PHY1_RXD3	PS_MIO74	D20	接收数据 Bit3
PHY1_RXCTL	PS_MIO75	A19	接收数据有效信号
PHY1_MDC	PS_MIO76	B20	MDIO 管理时钟
PHY1_MDIO	PS_MIO77	F20	MDIO 管理数据

十、USB Uart 接口

FZ3A 板上配备了一个 Uart 转 USB 接口，用于系统调试。转换芯片采用 Silicon Labs CP2102 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。USB Uart 电路设计的示意图如下图所示：

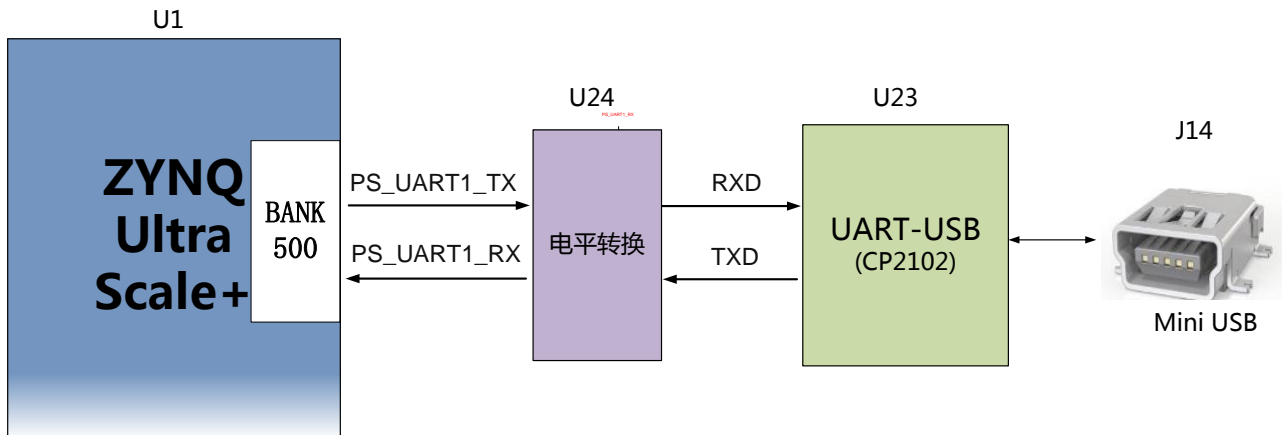


图 10-1 USB 转串口示意图

USB 转串口的 ZYNQ 引脚分配：

信号名称	引脚名	引脚号	备注
PS_UART1_TX	PS_MIO24	AB19	Uart 数据输出
PS_UART1_RX	PS_MIO25	AB21	Uart 数据输入

十一、SD 卡槽

FZ3A板包含了一个Micro SD卡接口，SDIO信号与ZU3EG的PS BANK501的IO信号相连，SD卡连接器的原理图如图11-1所示。

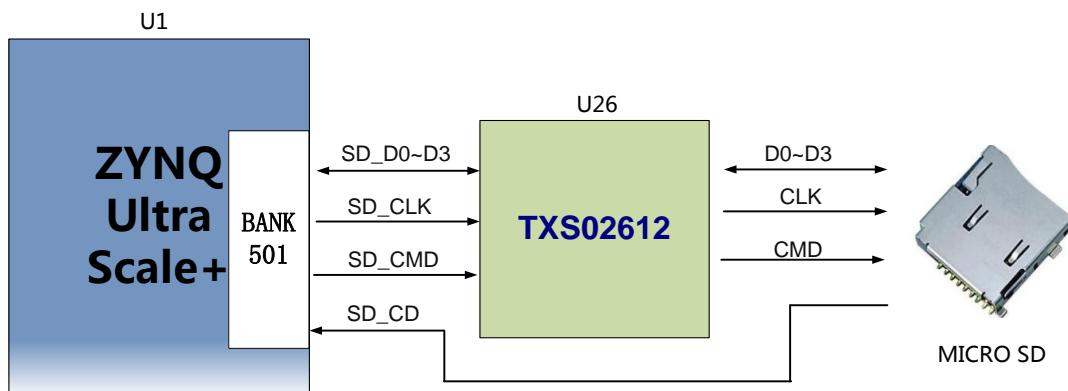


图 11-1 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	引脚名	引脚号	备注
SD_CLK	PS_MIO51	I21	SD 时钟信号
SD_CMD	PS_MIO50	M19	SD 命令信号
SD_D0	PS_MIO46	L20	SD 数据 Data0
SD_D1	PS_MIO47	H21	SD 数据 Data1
SD_D2	PS_MIO48	J21	SD 数据 Data2
SD_D3	PS_MIO49	M18	SD 数据 Data3
SD_CD	PS_MIO45	K20	SD 卡检测信号

十二、PCIE 接口

FZ3A 配备了一个 PCIE x1 的插槽，用于连接 PCIE 外设，PCIE 通信速度高达 5Gbps。PCIE 信号直接跟 ZU3EG 的 BANK505 PS MGT 收发器的 LANE0 相连接。PCIE x1 设计的示意图如下图 12-1 所示：

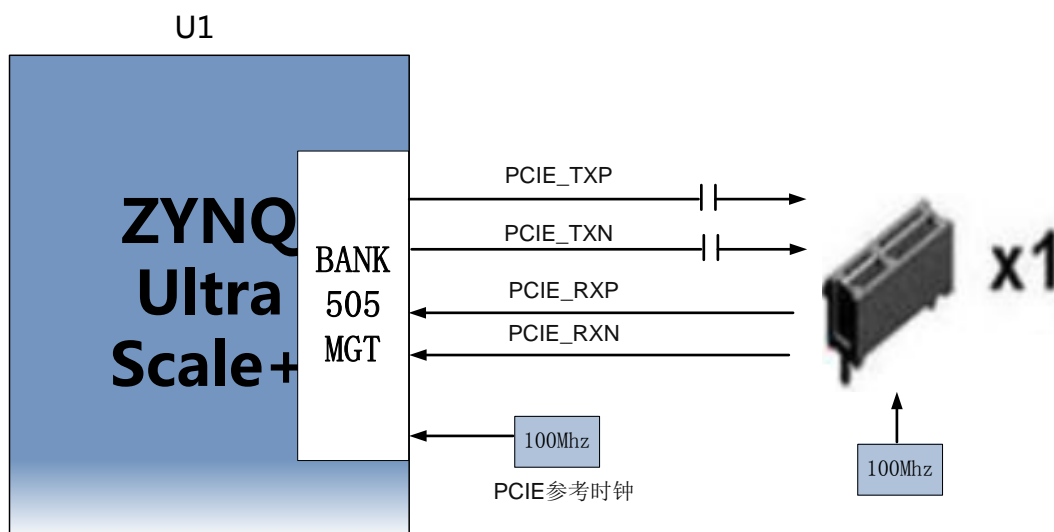


图 12-1 PCIE 接口设计示意图

PCIE 接口 ZYNQ 引脚分配如下：

信号名称	引脚名	引脚号	备注
PCIE_TXP	PS_MGTTXP0_505	E25	PCIE 数据发送正
PCIE_TXN	PS_MGTTXN0_505	E26	PCIE 数据发送负
PCIE_RXP	PS_MGTRXP0_505	F27	PCIE 数据接收正

PCIE_RXN	PS_MGTRXN0_505	F28	PCIE 数据接收负
PCIE_REFCLK_P	PS_MGTREFCLK0P_505	F23	PCIE 参考时钟正
PCIE_REFCLK_N	PS_MGTREFCLK0N_505	F24	PCIE 参考时钟负

十三、44 针扩展口

FZ3A 预留了 1 个 2.0mm 间距的 44 针的扩展口，其中包含 3.3V 电源，RS485 总线，CAN 总线及 36 个 IO 口。CAN 接口通过芯片连接到 PS 的 MIO 上，36 个 IO 连接连接到 ZYNQ 芯片 BANK44,26 的 IO 上，电平标准为 3.3V。扩展口设计的示意图如下图 13-1 所示：

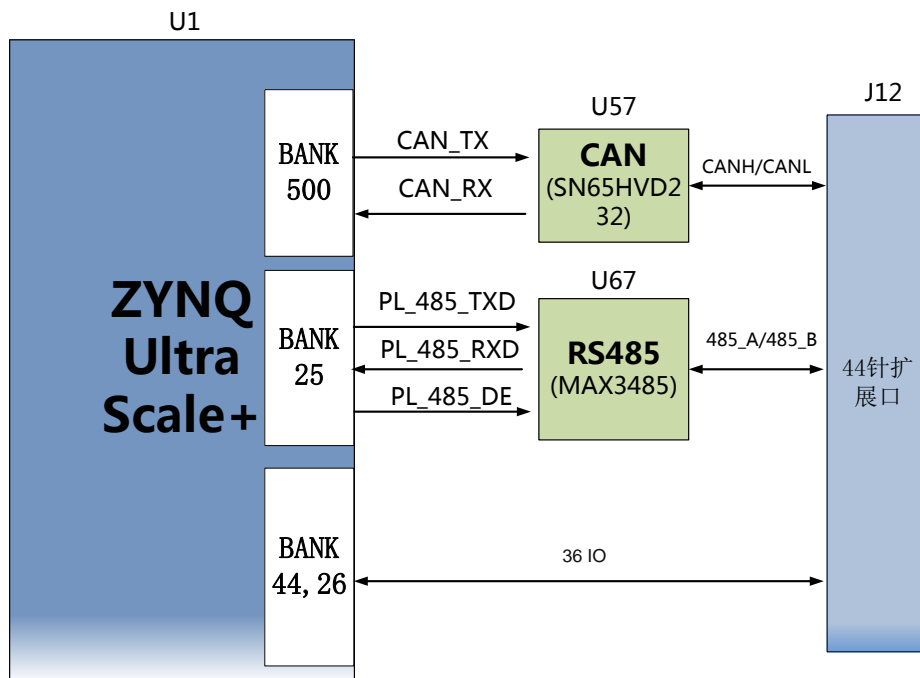
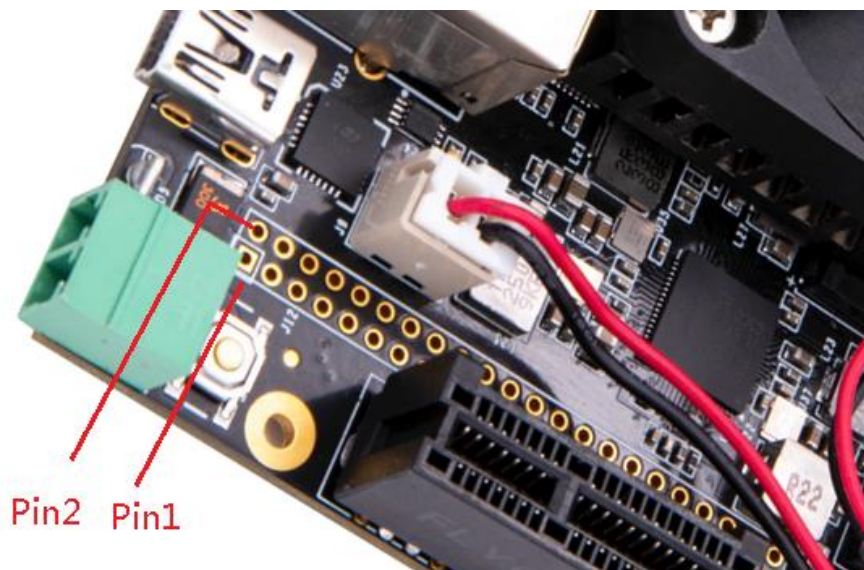


图 13-1 扩展口设计示意图



扩展口 PIN 管脚号指示图

J12 扩展口 ZYNQ 的引脚分配如下：

J12管脚	信号名称	引脚号	J12管脚	信号名称	引脚号
1	+3.3V	-	2	+3.3V	-
3	GND	-	4	GND	-
5	485_A	-	6	485_B	-
7	CANH	-	8	CANL	-
9	IO_B14_1P	B14	10	IO_A14_1N	A14
11	IO_B15_2P	B15	12	IO_A15_2N	A15
13	IO_C14_3P	C14	14	IO_C13_3N	C13
15	IO_G13_4P	G13	16	IO_F13_4N	F13
17	IO_H14_5P	H14	18	IO_H13_5N	H13
19	IO_L14_6P	L14	20	IO_L13_6N	L13
21	IO_B13_7P	B13	22	IO_A13_7N	A13
23	IO_D15_8P	D15	24	IO_D14_8N	D14
25	IO_E14_9P	E14	26	IO_E13_9N	E13
27	IO_F15_10P	F15	28	IO_E15_10N	E15
29	IO_K14_11P	K14	30	IO_J14_11N	J14
31	IO_W10_12P	W10	32	IO_Y10_12N	Y10
33	IO_Y9_13P	Y9	34	IO_AA8_13N	AA8
35	IO_AB11_14P	AB11	36	IO_AC11_14N	AC11
37	IO_AD11_15P	AD11	38	IO_AD10_15N	AD10
39	IO_AE10_16P	AE10	40	IO_AF10_16N	AF10
41	IO_AF11_17P	AF11	42	IO_AG11_17N	AG11
43	IO_AG10_18P	AG10	44	IO_AH10_18N	AH10

RS485 对应的 ZYNQ 的引脚分配如下：

信号名称	引脚名	引脚号	备注
PL_485_TXD	IO_L6P_25	F12	RS485 数据发送
PL_485_RXD	IO_L9N_25	B10	RS485 数据接收
PL_485_DE	IO_L10N_25	A12	RS485 接收方向选择

CAN 对应的 ZYNQ 的引脚分配如下：

信号名称	引脚名	引脚号	备注
CAN_TX	PS_MIO8	AF17	CAN 数据发送
CAN_RX	PS_MIO9	AC16	CAN 数据接收

十四、MIPI 接口

FZ3A 上有 1 路 MIPI 接口，用于连接 MIPI 摄像头。MIPI 的差分信号连接到 BANK64 的 HP IO 上，电平标准为+1.2V；MIPI 的控制信号连接到 BANK65 上，电平标准为+1.8V；I2C 控制信号连接到 BANK501 上，电平标准为+1.8V。MIPI 口设计的示意图如下图 14-1 所示：

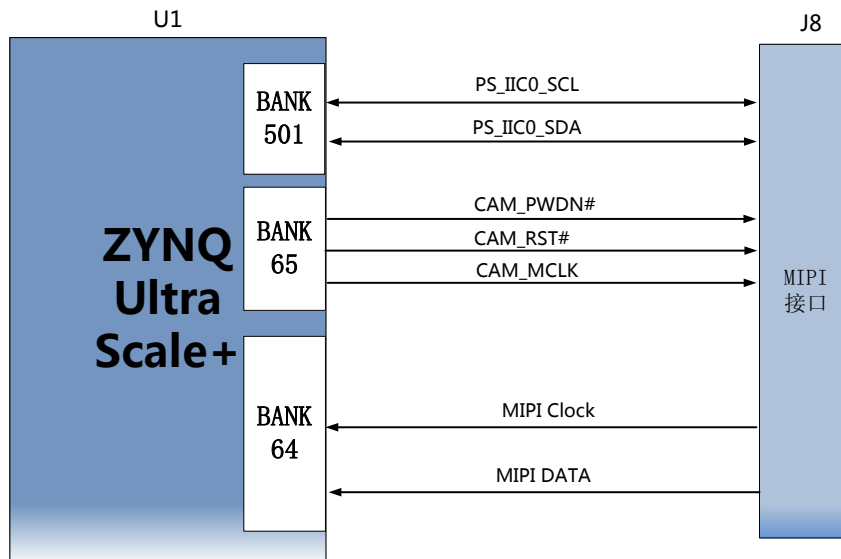


图 14-1 MIPI 接口连接示意图

MIPI 通信引脚分配如下：

PIN	信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
1	MIPI_CSI_DATA3P	IO_L18P_64	AB1	MIPI数据3信号P
2	MIPI_CSI_DATA3N	IO_L18N_64	AC1	MIPI数据3信号N
3	GND	-	-	地
4	MIPI_CSI_DATA2P	IO_L17P_64	AB2	MIPI数据2信号P
5	MIPI_CSI_DATA2N	IO_L17N_64	AC2	MIPI数据2信号N
6	GND	-	-	地
7	MIPI_CSI_DATA1P	IO_L15P_64	AB4	MIPI数据1信号P

8	MIPI_CSI_DATA1N	IO_L15N_64	AB3	MIPI数据1信号N
9	GND	-	-	地
10	MIPI_CSI_DATA0P	IO_L14P_64	AC4	MIPI数据0信号P
11	MIPI_CSI_DATA0N	IO_L14N_64	AC3	MIPI数据0信号N
12	GND	-	-	地
13	MIPI_CSI_CLKP	IO_L13P_64	AD5	MIPI时钟信号P
14	MIPI_CSI_CLKN	IO_L13N_64	AD4	MIPI时钟信号N
15	GND	-	-	地
16	CAM_MCLK	IO_L13P_65	L7	时钟信号
17	GND	-	-	地
18	MIPI_IOVDD_1V8	-	-	+1.8V电源
19	MIPI_IOVDD_1V3	-	-	+1.3V电源
20	PS_IIC0_SCL	PS_MIO34	L17	I2C控制时钟
21	PS_IIC0_SDA	PS_MIO35	H17	I2C控制数据
22	CAM_PWDN#	IO_L1N_65	Y8	Power Down信号
23	CAM_RST#	IO_L2P_65	U9	RESET信号
24	MIPI_AVDD_3V3_2V8	-	-	+2.8V电源
25	MIPI_AVDD_3V3_2V8	-	-	+2.8V电源

十五、BT1120 接口

FZ3A 上有 1 个 32PIN 的 BT1120 连接器，用于视频传输和通信。BT1120 信号连接到 BANK24 的 IO 上，电平标准为+3.3V，用户可以当做普通 IO 使用。另外接口上留有 SPI 接口和 UART 接口（电平标准为+3.3V），通过电平转换连接到 ZU3EG 的 MIO。BT1120 接口设计的示意图如下图 15-1 所示：

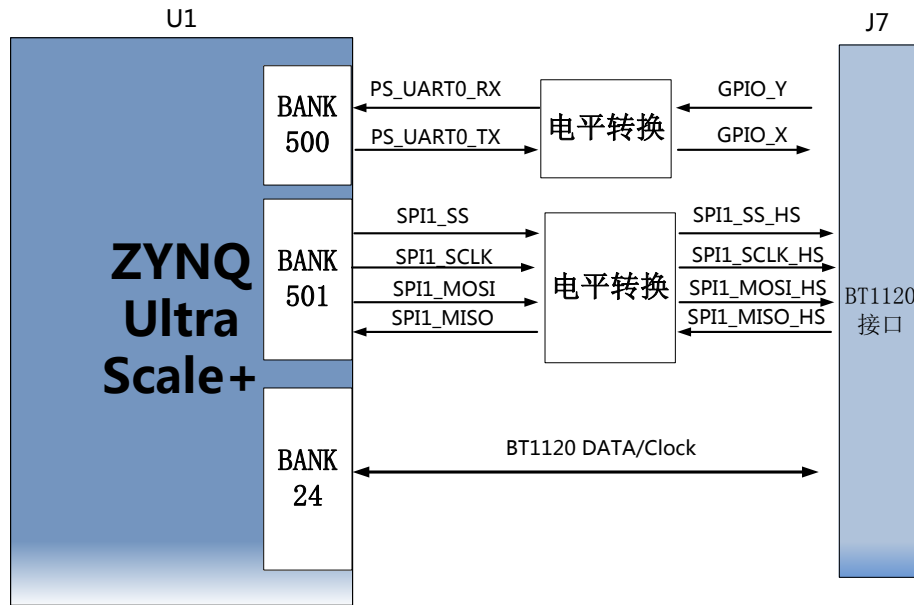


图 15-1 BT1120 接口连接示意图

BT1120 通信引脚分配如下：

PIN	信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
1	BT1120_DATA0	IO_L9N_24	W13	BT1120数据0
2	BT1120_DATA1	IO_L9P_24	W14	BT1120数据1
3	BT1120_DATA2	IO_L8N_24	AB14	BT1120数据2
4	BT1120_DATA3	IO_L8P_24	AB15	BT1120数据3
5	BT1120_DATA4	IO_L7N_24	AB13	BT1120数据4
6	BT1120_DATA5	IO_L7P_24	AA13	BT1120数据5
7	BT1120_DATA6	IO_L6N_24	AC13	BT1120数据6
8	BT1120_DATA7	IO_L6P_24	AC14	BT1120数据7
9	BT1120_DATA8	IO_L5N_24	AD14	BT1120数据8
10	BT1120_DATA9	IO_L4N_24	AF13	BT1120数据9
11	BT1120_DATA10	IO_L4P_24	AE13	BT1120数据10
12	BT1120_DATA11	IO_L3N_24	AH13	BT1120数据11
13	BT1120_DATA12	IO_L3P_24	AG13	BT1120数据12
14	BT1120_DATA13	IO_L2N_24	AH14	BT1120数据13
15	BT1120_DATA14	IO_L2P_24	AG14	BT1120数据14
16	BT1120_DATA15	IO_L1N_24	AE14	BT1120数据15
17	GND	-	-	地
18	BT1120_CLK	IO_L5P_24	AD15	BT1120时钟

19	GND	-	-	地
20	GPIO_Z	IO_L1P_24	AE15	预留GPIO
21	GPIO_Y	PS_MIO10_500	AD17	UART接收
22	GPIO_X	PS_MIO11_500	AE17	UART发送
23	GND	-	-	地
24	SPI1_SCLK_HS	PS_MIO38_501	H18	SPI时钟
25	SPI1_MOSI_HS	PS_MIO43_501	K19	SPI输出
26	SPI1_MISO_HS	PS_MIO42_501	L18	SPI输入
27	SPI1_CS_HS	PS_MIO41_501	J19	SPI片选
28	GND	-	-	地
29	+12V	-	-	+12V电源
30	+12V	-	-	+12V电源
31	+12V	-	-	+12V电源
32	+12V	-	-	+12V电源

十六、JTAG 调试口

在 FZ3A 板上预留了一个 6 针的 JTAG 接口，用于下载 ZYNQ UltraScale+ 程序或者固化程序到 FLASH。JTAG 的管脚定义如下图所示

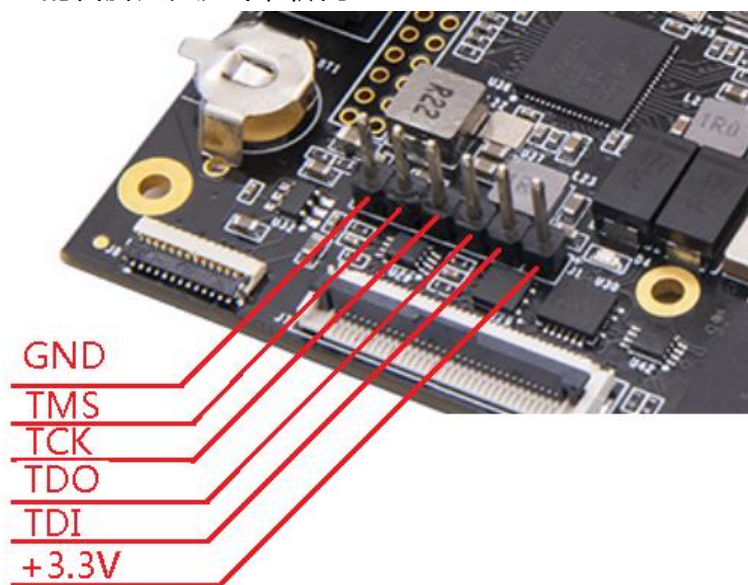


图16-1 JTAG接口管脚定义

十七、拨码开关配置

板上有一个 4 位的拨码开关用来配置 ZYNQ 系统的启动模式。FZ3A 系统支持 4 种启动

模式。这 4 种启动模式分别是 JTAG 调试模式, QSPI FLASH, EMMC 和 SD2.0 卡启动模式。ZU3EG 芯片上电后会检测 (PS_MODE0~3) 的电平来决定那种启动模式。用户可以通过拨码开关来选择不同的启动模式。SW1 启动模式配置如下表 17-1 所示。

SW1	拨码位置(4 , 3 , 2 , 1)	MODE[3:0]	启动模式
	ON , ON , ON , ON	0000	PS JTAG
	ON , ON , OFF ,ON	0010	QSPI FLASH
	ON , OFF , ON , OFF	0101	SD卡
	ON ,OFF , OFF , ON	0110	EMMC

表17-1 SW1启动模式配置

十八、LED 灯

FZ3A 的板边有 1 个双色 LED 指示灯(D5)和板上 3 个配置 LED 灯 (D2 , D3 , D4)。双色 D5 LED 的红色灯为电源指示灯，绿色的为用户指示灯。D5 的用户指示灯连接到 BANK25 的 IO 上。LED 灯硬件连接的示意图如图 18-1 所示：

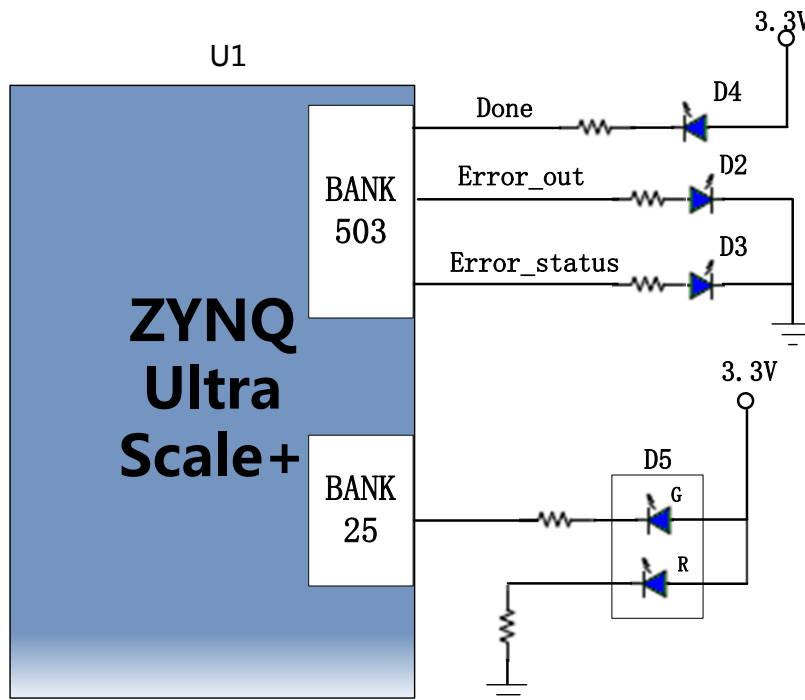


图 18-1 LED 灯硬件连接示意图

EEPROM 引脚分配：

信号名称	引脚名	引脚号
PL_LED	IO_L10N_25	A10

十九、系统时钟

板上分别为 RTC 电路,PS 系统, PL 逻辑部分提供了参考时钟,其中 RTC 的时钟为 32.768, PS 的系统时钟为 33.3333Mhz, PL 端的时钟是 25Mhz。时钟电路设计的示意图如下图 19-1 所示:

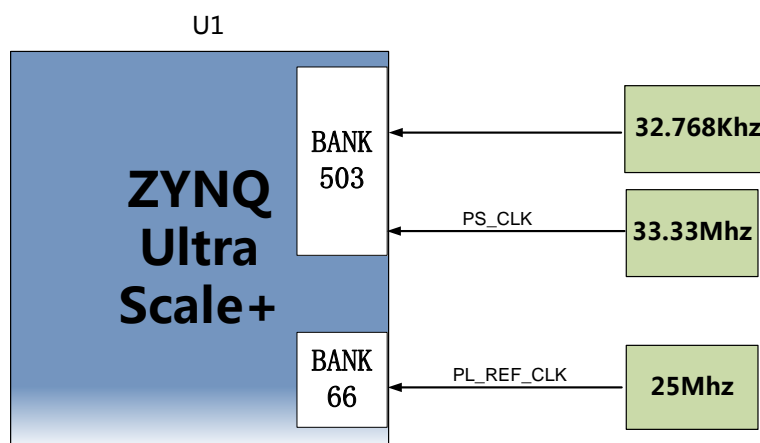


图 19-1 时钟源

时钟引脚分配:

信号名称	引脚名	引脚号
PL_REF_CLK	IO_L11P_66	D4

PL_REF_CLK 的电平为+1.8V。

二十、风扇接口

风扇为 12V 供电,可通过 FAN_PWM 信号调节转速。

风扇引脚分配:

信号名称	引脚名	引脚号
FAN_PWM	IO_L10P_25	B11

二十一、电源

FZ3A 的电源输入电压为 DC12V,电流 2A 的适配器。电源接口的方向如下图所示,使用中正负极不要插反,尽量使用我们提供的电源适配器。

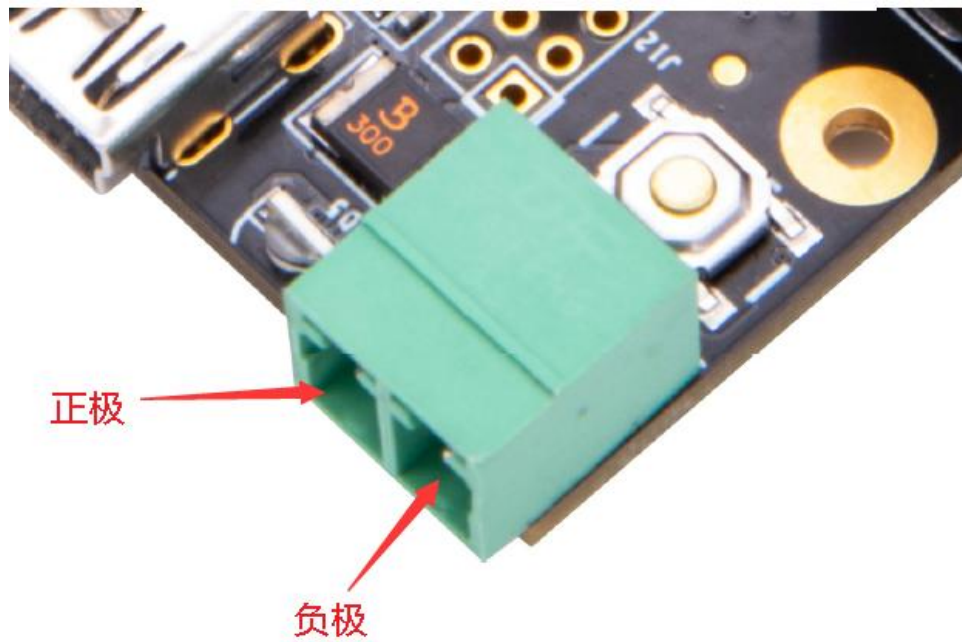


图 20-1 电源正负指示

二十二、结构尺寸图

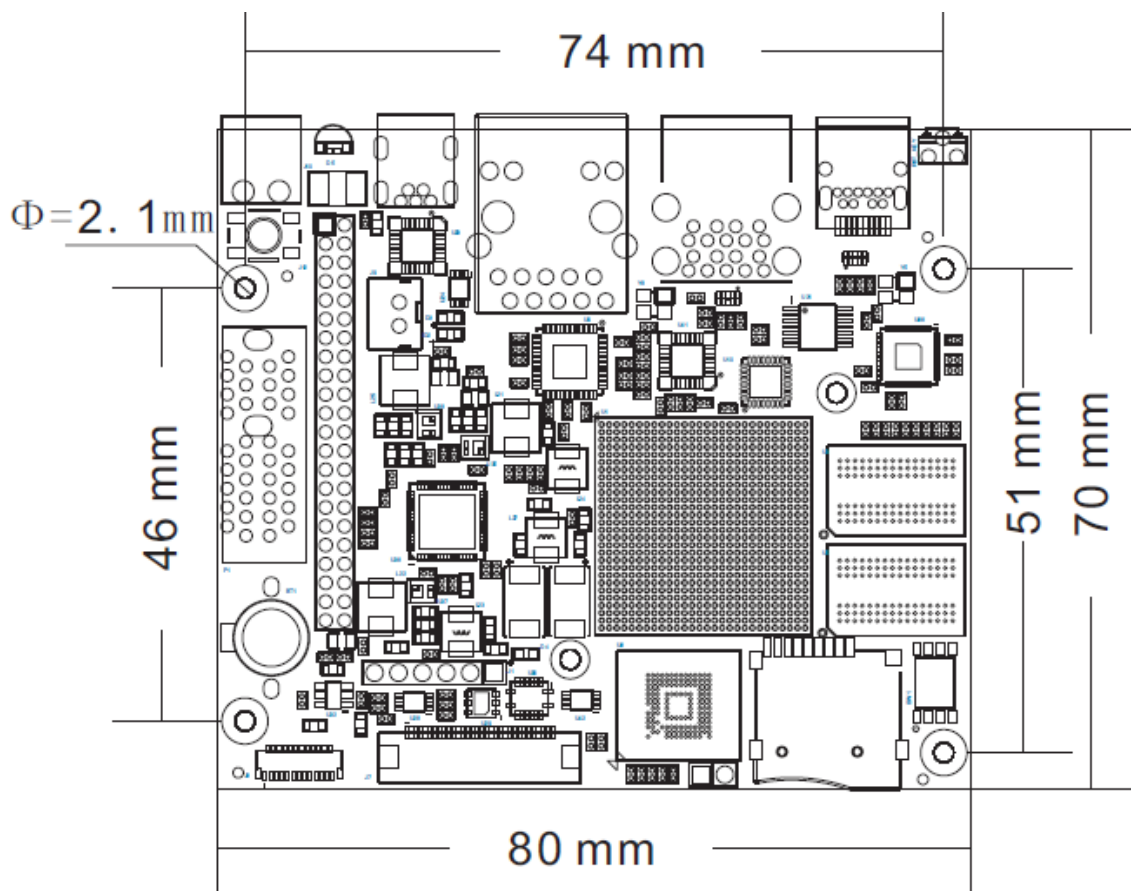


图 21-1 正面图 (Top View)