

2014 版

FPGA 黑金开发平台

用户手册

AX301

REV 5.0

芯驿电子科技（上海）有限公司

黑金动力社区

[Http://www.heijin.org](http://www.heijin.org)

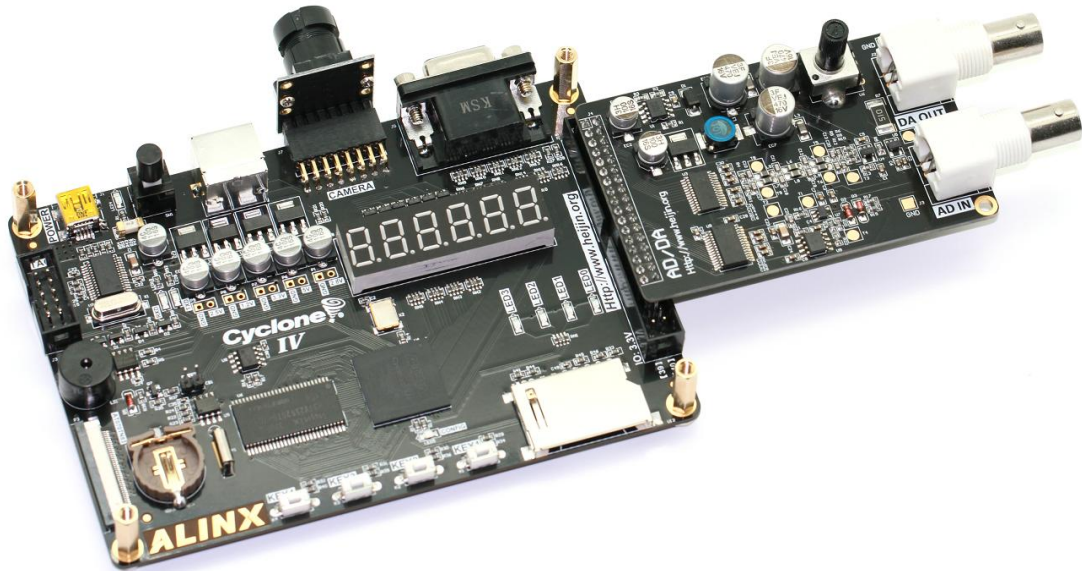
文档版本控制

文档版本	修改内容记录
REV1.0	创建文档
REV2.0	第 30 页，修改了按键的引脚分配
REV3.0	第 7 页，修改了电源部分的描述
REV4.0	第 30 页，修正了 KEY3，KEY4 的引脚分配
REV5.0	第 5 页，修改结构图

目 录

一、 简介	4
二、 电源	7
三、 FPGA	8
1) JTAG 接口	9
2) 配置芯片：M25P16	9
3) FPGA 供电引脚	10
4) FPGA 时钟输入引脚	11
四、 50M 有源晶振	12
五、 SDRAM	12
六、 EEPROM 24LC04	15
七、 PS/2 接口	16
八、 实时时钟 DS1302	17
九、 数码管	18
十、 USB 转串口	20
十一、 VGA 接口	21
十二、 蜂鸣器	24
十三、 SD 卡槽	25
十四、 扩展口	26
十五、 LED	28
十六、 按键	29
十七、 摄像头接口	30
十八、 7 寸 TFT 接口	31

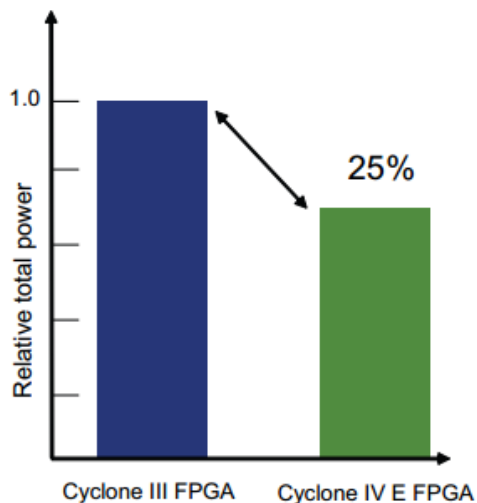
FPGA 黑金开发平台学生版 2014 款正式发布了，此款开发平台是在前两款学生版的基础上升级而来，型号为：AX301。虽然是一款入门级的 FPGA 开发平台，但是我们不管是在 PCB 设计上，还是在整个构造上都花费了很多的心思，真可谓“简约而不简单”。



一、简介

在这里，对这款 FPGA 开发平台进行简单的功能介绍。

此款开发板使用的是 ALERA 公司的 CYCLONE IV 系列 FPGA，型号为 **EP4CE6F17C8**，256 个引脚的 FBGA 封装。根据 ALTERA 官方的数据，CYCLONE IV 相对 CYCLONE III 来说，功耗减少 25%，如下图所示



此款 FPGA 的资源如下图所示：

Category	Integrated Circuits (ICs)
Family	Embedded - FPGAs (Field Programmable Gate Array)
Series	Cyclone® IV E
Number of LABs/CLBs	392
Number of Logic Elements/Cells	6272
Total RAM Bits	276480
Number of I / O	179
Number of Gates	-
Voltage - Supply	1.15 V ~ 1.25 V
Mounting Type	Surface Mount
Operating Temperature	0°C ~ 85°C
Package / Case	256-LBGA
Supplier Device Package	256-FBGA (17x17)
Other Names	544-2828 EP4CE6F17C8N-ND
Lead Free Status	Lead free
RoHS Status	RoHS Compliant

其中，主要的参数，

逻辑单元 LE：6272；

乘法器 LAB：392；

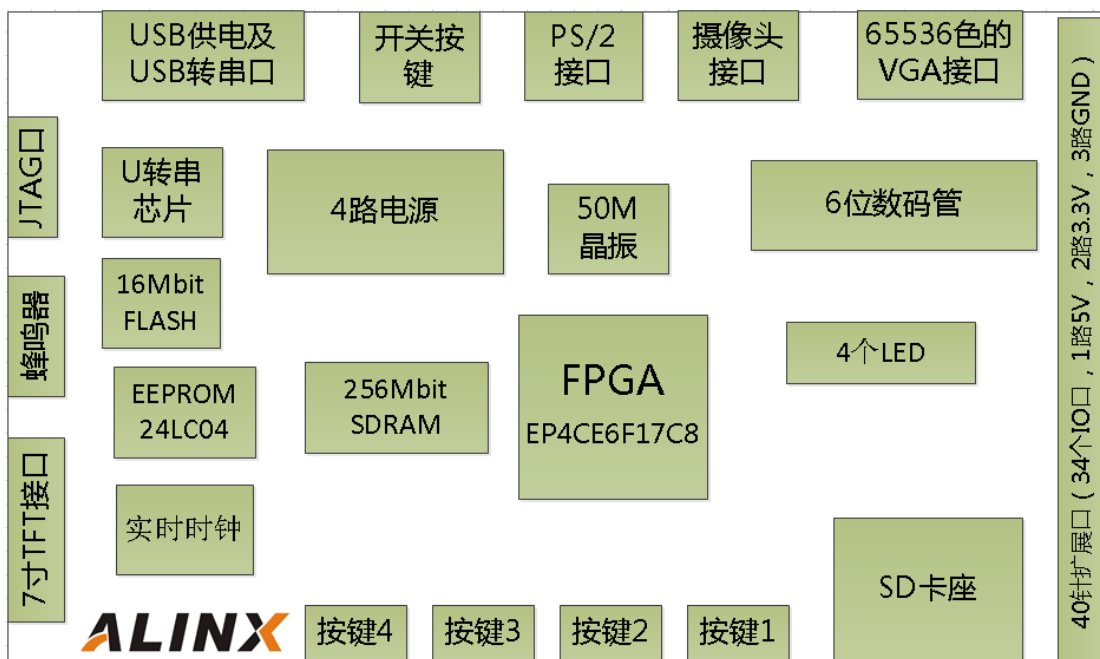
RAM：276480bit；

IO 数量：179 个；

内核电压：1.15V-1.25V(推荐 1.2V)；

工作温度：0-85°C

图为整个系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- USB 接口供电方式，只需要一根 USB 线就可以完成对开发板的供电。同时，USB 接口也实现了 USB 转串口的功能。连上 USB 线，可以跟电脑实现串口通信。
- 一个摄像头接口，可以接 OV7670 摄像头；
- 一个 7 寸 TFT 液晶屏接口，可以接型号为 AT070TN83,7 寸 TFT 液晶屏；
- 一路 PS/2 接口，可以接 PS/2 接口的鼠标或者键盘；
- 一路 VGA 接口，VGA 接口为 16bit，可以显示 65536 种颜色，可以显示彩色图片等信息。
- 一片的 RTC 实时时钟，配有电池座，电池的型号为 CR1220。
- 一片 IIC 接口的 EEPROM 24LC04；
- 一个蜂鸣器，可实现 SOS 报警等功能；
- 6 位共阳数码管，通过动态扫描，实现数字的动态显示；
- 一片 256Mbit 的 SDRAM,可作为数据的缓存，也可以作为 NIOS 运行的内存；
- 4 个发光二极管 LED；
- 4 个独立按键；
- 板载 50M 的有源晶振，给开发板提供稳定的时钟源；
- 1 路 40 针的扩展口(2.54mm 间距)，其中 34 个 IO 口，1 路 5V 电源，2 路 3.3V 电源，3 路 GND。可以接 3.2 寸 TFT 模块和 AD/DA 模块等扩展模块。
- 预留了 JTAG 口，可对 FPGA 进行调试和程序固化。
- 1 路 SD 卡座，支持 SPI 模式。

二、电源

开发板电源的输入，可以通过 USB 方式供电。如图 2.1 所示，J1 为 USB 供电接口，SW1 为按键开关，F1 为自恢复保险丝。

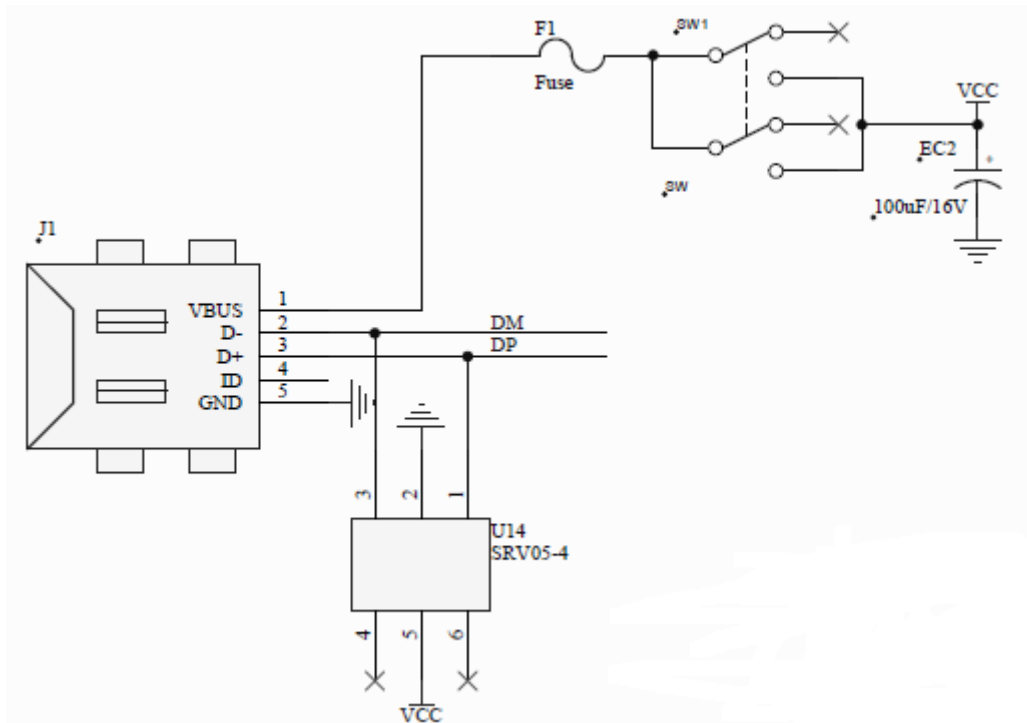


图 2.1 原理图中电源接口部分

图 2.2 为开发板所需的三路电源，提供 1.2V、3.3V、2.5V、2.8V 电源，所用的芯片分别为 1117-1.2，1117-3.3，1117-2.5，1117-2.8V 四个芯片均为 LDO 电源芯片，可提供稳定可靠的电源，同时我们在设计 PCB 的时候，采用 4 层 PCB，预留了独立的电源层和 GND 层，使得整个开发板的电源，具有非常好的稳定性。

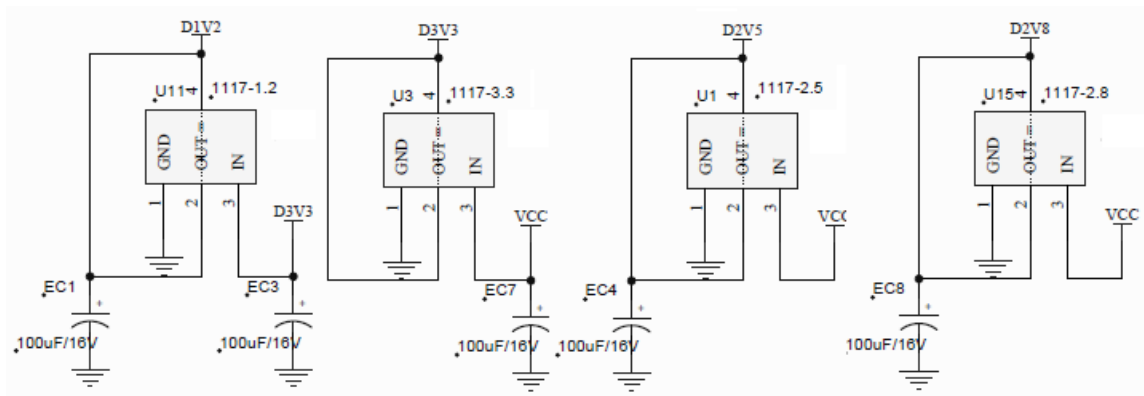


图 2.2 原理图中电源芯片部分

图 2.3 为开发板实物图，可以看到，我们使用了大量的电解电容，来保证开

发板的电源的稳定可靠。“干净”的电源是数字电路的基础。

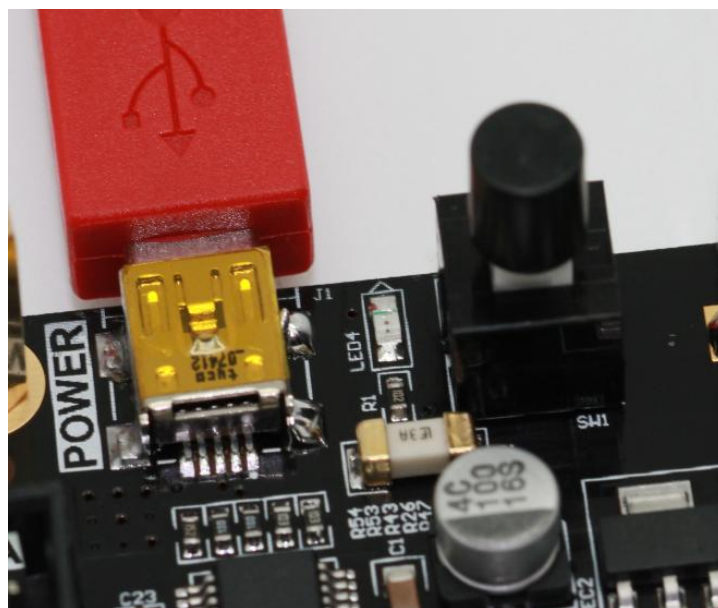


图 2.3 实物图中的电源部分

三、FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 EP4CE6F17C8，属于 ALTERA 公司 CYCLONE IV 的产品。此型号为 BGA 封装，256 个引脚。再次说明一下 FPGA 引脚的定义。很多人使用 FPGA 都是非 BGA 封装的，比如 144 引脚，208 引脚的 FPGA 芯片，他们的引脚定义是由数字组成，比如 1 到 144，1 到 208 等等，而当我们使用 BGA 封装的芯片以后，引脚名称变为由**字母+数字**的形式，比如 E3，G3 等等，因此我们在看原理图的时候，看到的**字母+数字**这种形式的，就是代表了 FPGA 的引脚。说完这个，我们来看与 FPGA 有关系的各个部分的功能。图 3.1 为开发板所用的 FPGA 芯片实物图。

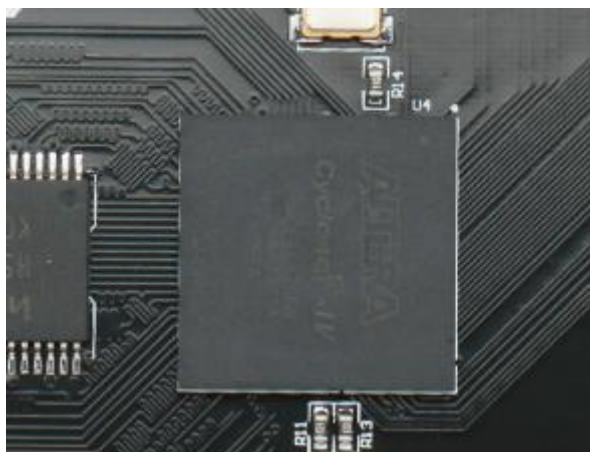


图 3.1 FPGA 芯片实物

1) JTAG 接口

首先我们来说 FPGA 的两个重要的接口，一个是 JTAG 接口，一个是 AS 接口。

JTAG 接口的作用是将编译好的程序 (.sof) 下载到 FPGA 中，由于 FPGA 是基于 ram 的一种结构，内部没有可以固化的 FLASH，因此，通过 JTAG 口下载的程序，掉电以后就会丢失，需要上电重新下载才可以。所以有的人将程序下载进去以后，以为就可以了，结果上电没有任何反应了，其中就是这个道理。

图 3.2 就是 JTAG 口的原理图部分，其中涉及到 TCK,TDO,TMS,TDI 这四个信号。这四个信号直接由 FPGA 引脚引出。

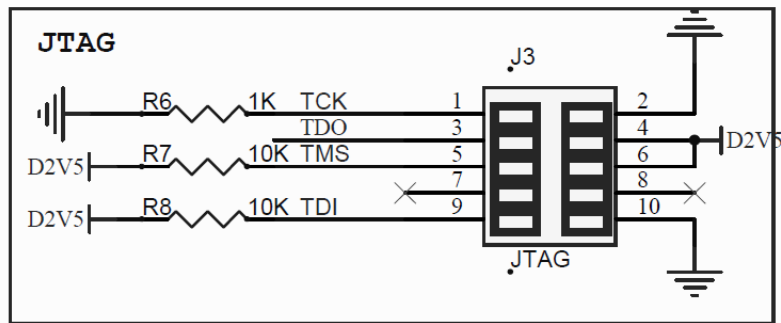


图 3.2 原理图中 JTAG 接口部分

2) 配置芯片：M25P16

M25P16(或者说 EPCS16) 实质是一个串行 FLASH 芯片，容量为 16Mbit，对于存储 FPGA 中的程序来说，这个容量绰绰有余的。同时他还可以存储软核 NIOS II 的应用程序，因此，他的作用在 FPGA 的设计中起到了至关重要的作用。

图 3.4 为 M25P16 在原理图中的部分。

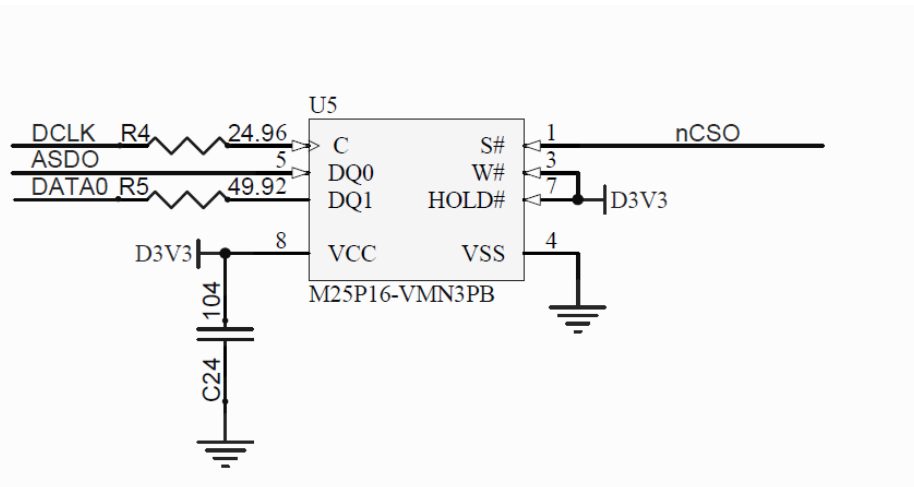


图 3.4 原理图中 M25P16 部分

配置芯片引脚分配：

引脚名称	FPGA 引脚
ASDO	C1
DCLK	H1
nCSO	D2
DATA0	H2

图 3.5 为接口及 M25P16 的实物图 (图片中蓝色框中的为 JTAG 口, 红色框中的芯片为 M25P16)

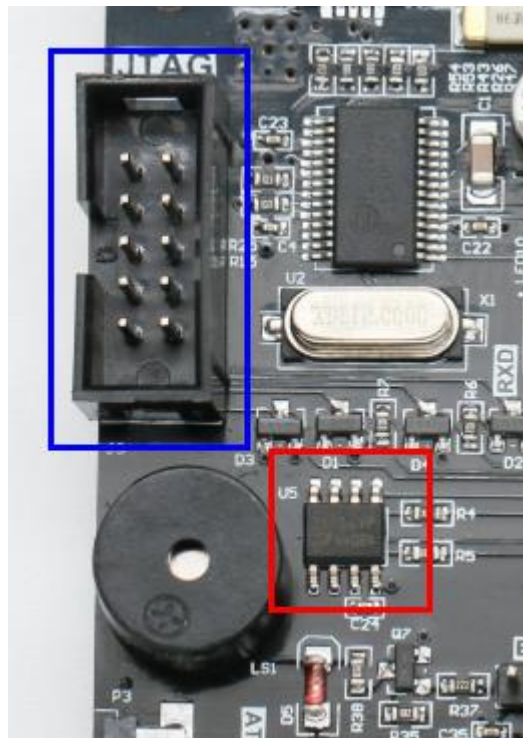


图 3.5 JTAG 接口及 M25P16 实物图

3) FPGA 供电引脚

接下来,我们说一下 FPGA 的电源引脚部分,其中包括每一个 bank 的电源引脚和内核电压引脚 如图 3.6 所示, VCCINT 为 FPGA 内核供电引脚 接 1.2V ; VCCIO1 是 FPGA 的 BANK1 的供电引脚, 同理, VCCIO2 是 FPGA 的 BANK2 的供电引脚, 其他 VCCIO3...VCCIO8 对应着 FPGA 其他的 BANK, 我们都接了 3.3V 电压, 也就是说, 对应的 FPGA 引脚均为 3.3V 输入和输出。如果有特殊需求, 比如我们的某些 BANK 引脚要接一个 DDR2 这样一个 1.8V 的外设, 那么, 我们就需要相对应的将这个 BANK 的供电电压引脚设置为 1.8V 的电压, 具体的

可以看 FPGA 的芯片手册。

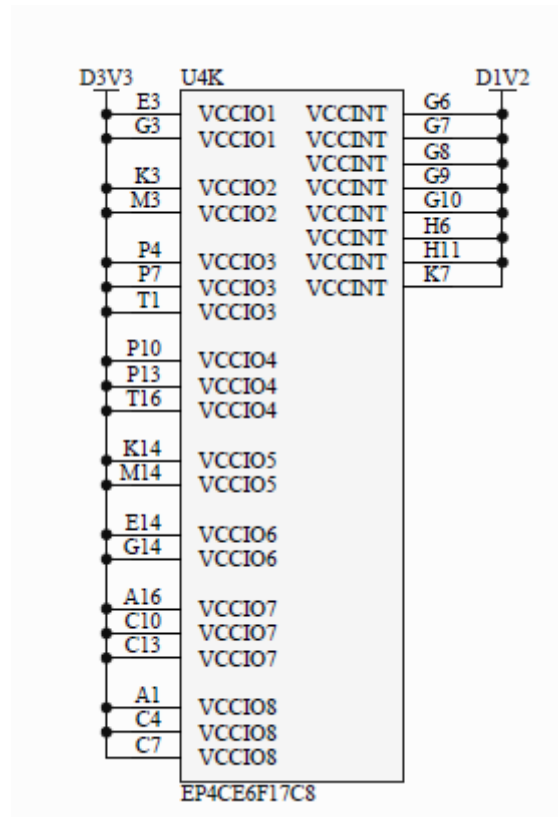


图 3.6 FPGA 电源引脚

4) FPGA 时钟输入引脚

在 FPGA 的引脚中，除了一些传统意义的可进行输入输出的双向引脚意外，还有一部分引脚，它只能作为输入，不能作为输出使用的引脚，这部分引脚就是时钟输入引脚。这部分引脚是我们给 FPGA 提供部分时钟源时要用的，比如我们的开发板外接的 50M 有源晶振，就是用的这部分引脚，如图 3.7 所示。

这部分引脚处理我们用来作为时钟输入，我们还可以当做普通的输入引脚来使用，图 3.7 中，我们可以看到，我们接了 3 个外部按键到这部分引脚上，作为按键的输入引脚。

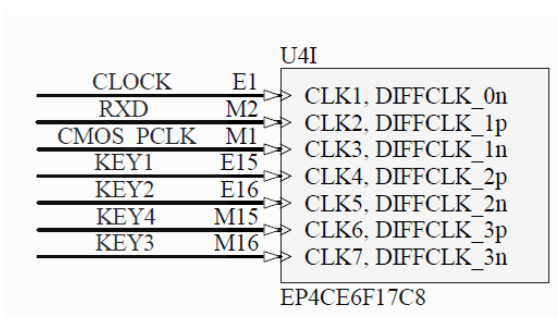


图 3.7 FPGA 时钟输入引脚

四、50M 有源晶振

图 3.7 即为我们上述提到的给开发板提供时钟源的 50M 有源晶振，他使用了 FPGA 的 E1 引脚。图 4.2 为有源晶振实物图

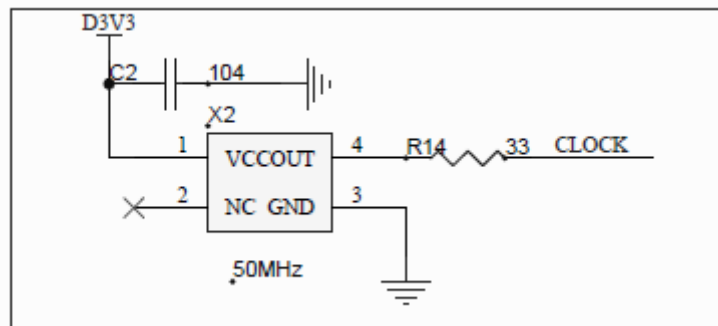


图 4.1 50M 有源晶振



图 4.2 50M 有源晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
CLOCK	E1

五、SDRAM

开发板板载了一片 SDRAM, 型号：HY57V2562GTR，容量：256Mit (16M*16bit)，16bit 总线。SDRAM 在整个 FPGA 系统中扮演的角色相当于电脑中的内存条，是整个 FPGA 的缓存区，可以暂存数据。当我们使用 NIOS II 软核的时候，由于占用的资源多，FPGA 内部的 ONCHIP RAM 无法满足需求，所以，SDRAM 作为系统的“内存”，保证了整个系统的稳定运行。由于 SDRAM 高速和高性价比，我们选择它，也有其实用性。连接方式，图 6.1 所示

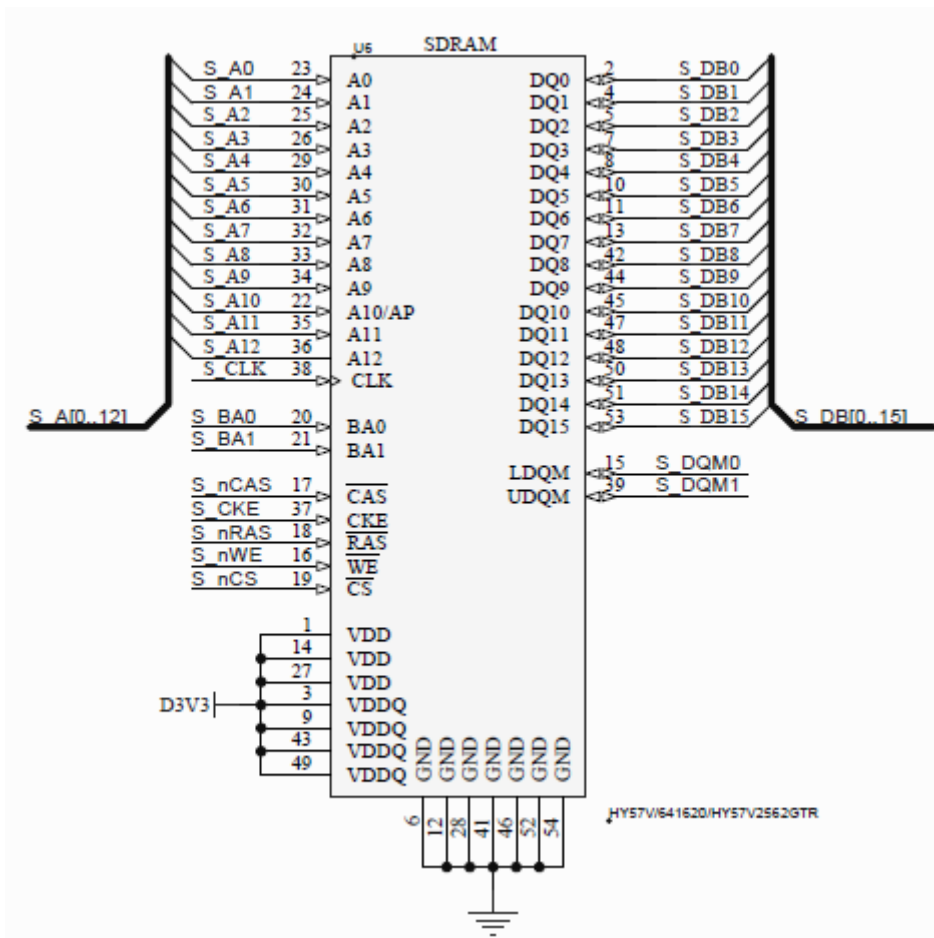


图 6.1 SDRAM 原理图部分

图 6.2 为 SDRAM 实物图

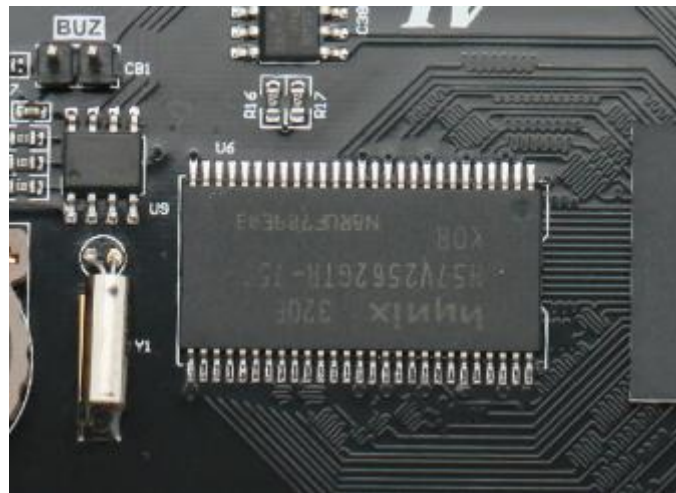


图 6.2 SDRAM 实物图

SDRAM 引脚分配：

引脚名称	FPGA 引脚
S_DB[0]	R5
S_DB[1]	T4

S_DB[2]	T3
S_DB[3]	R3
S_DB[4]	T2
S_DB[5]	R1
S_DB[6]	P2
S_DB[7]	P1
S_DB[8]	R13
S_DB[9]	T13
S_DB[10]	R12
S_DB[11]	T12
S_DB[12]	T10
S_DB[13]	R10
S_DB[14]	T11
S_DB[15]	R11
S_A[0]	T8
S_A[1]	P9
S_A[2]	T9
S_A[3]	R9
S_A[4]	L16
S_A[5]	L15
S_A[6]	N16
S_A[7]	N15
S_A[8]	P16
S_A[9]	P15
S_A[10]	R8
S_A[11]	R16
S_A[12]	T15
S_CLK	R4
S_BA[0]	R7
S_BA[1]	T7
S_NCAS	T5

S_CKE	R14
S_NRAS	R6
S_NWE	N1
S_NCS	T6
S_DQM[0]	T14
S_DQM[1]	N2

六、EEPROM 24LC04

开发板板载了一片 EEPROM ,型号为 24LC04,容量为 :4Kbit(2*256*8bit),由 2 个 256byte 的 block 组成,通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 一般用在仪器仪表等设计上,用作一些参数的存储,掉电不丢失。这种芯片操作简单,具有极高的性价比,所以虽然容量比高,但价格非常便宜,对于那些对成本要求很高的产品来说,是个不错的选择。图 7.1 为 EEPROM 的原理图

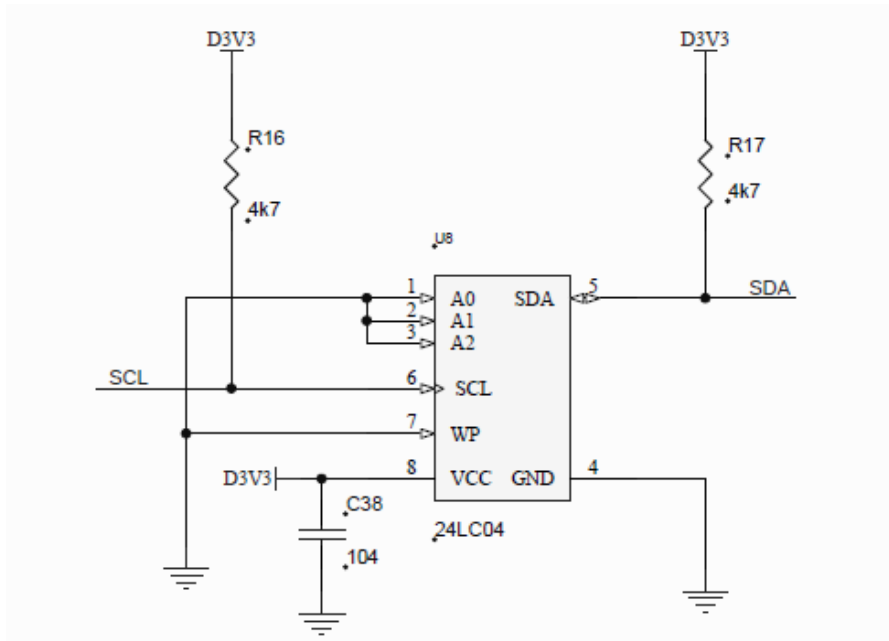


图 7.1 EEPROM 原理图部分

图 7.2 为 EEPROM 实物图

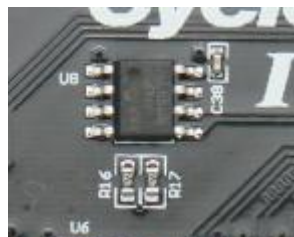


图 7.2EEPROM 实物图

EEPROM 引脚分配：

引脚名称	FPGA 引脚
SDA	L2
SCL	L1

七、PS/2 接口

PS/2 接口是一种已经被“抛弃”的接口，早年间被广泛用于台式机的鼠标和键盘上，现在已经被 USB 接口所替代。此接口是 1987 年 IBM 推出的用于键盘的标准接口，定义了 84~101 键，同时支持 17 个主机到键盘的命令。虽然已经被“抛弃”，但拿来学习还是有借鉴作用的。图 8.1 为 PS/2 接口原理图

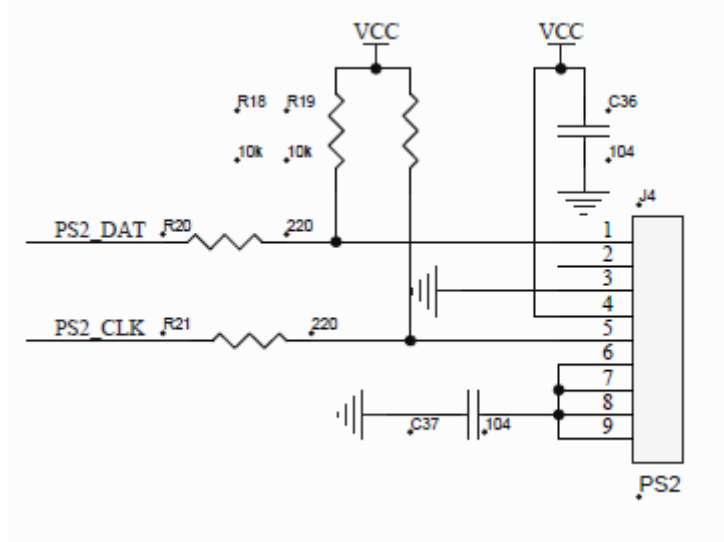


图 8.1 PS/2 接口原理图

图 8.2 为 PS/2 接口实物图

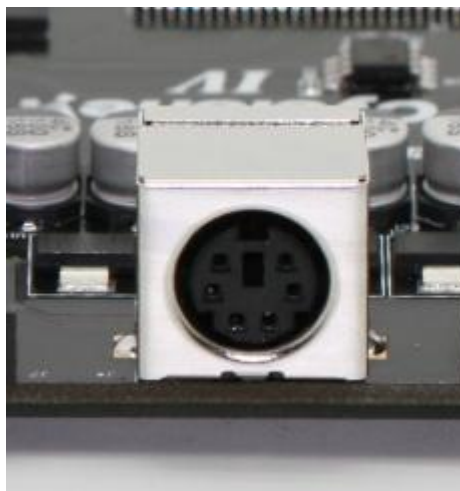


图 8.2 PS/2 接口实物图

PS/2 接口引脚分配：

引脚名称	FPGA 引脚
PS2_DAT	F1
PS2_CLK	G2

八、实时时钟 DS1302

开发板板载了一片实时时钟 RTC 芯片，型号 DS1302，他的功能是提供到 2099 年内的日历功能，年月日时分秒还有星期。如果系统中需要时间的话，那么 RTC 就需要涉及到产品中。他外部需要接一个 32.768KHz 的无源时钟，提供精确的时钟源给时钟芯片，这样才能让 RTC 可以准确的提供时钟信息给产品。同时为了产品掉电以后，实时时钟还可以正常运行，一般需要另外配一个电池给时钟芯片供电，图 9.1 中为 U7 为电池座，我们将纽扣电池（型号 CR1220，电压为 3V）放入以后，当系统掉电，纽扣电池还可以给 DS1302 供电，这样，不管产品是否供电，DS1302 都会正常运行，不会间断，可以提供持续不断的时间信息。图 9.1 为 DS1302 原理图

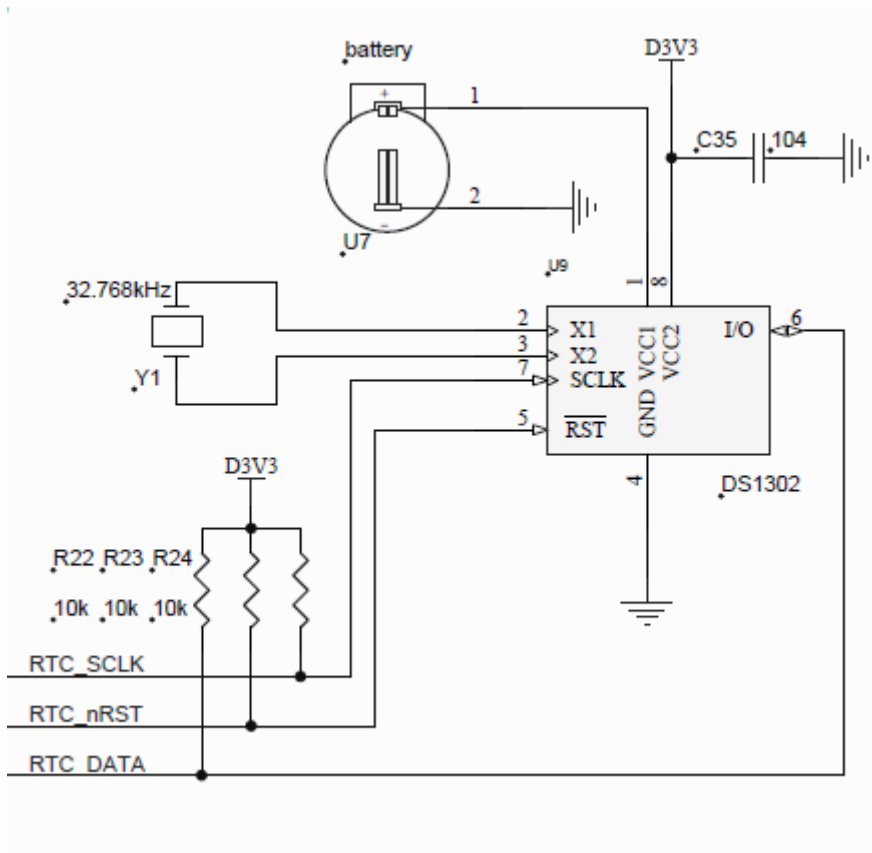


图 9.1 DS1302 原理图

图 9.2 为 DS1302 实物图

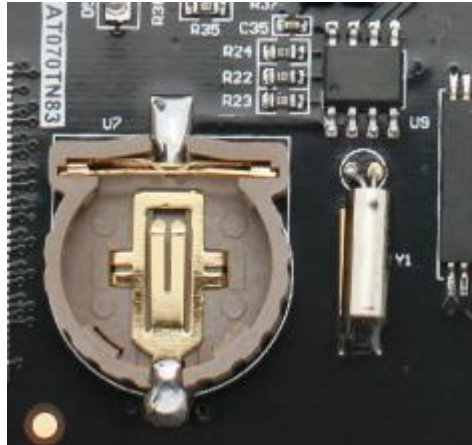


图 9.2 DS1302 实物图

DS1302 接口引脚分配：

引脚名称	FPGA 引脚
RTC_SCLK	J2
RTC_N_RST	K2
RTC_DATA	K1

九、数码管

数码管是很常见的一种显示设备，一般分为七段数码管和八段数码管，两者区别就在于八段数码管比七段数码管多了一个“点”。我们采用的数码管为 6 位一体的八段数码管，数码管的段结构图 10.1 所示

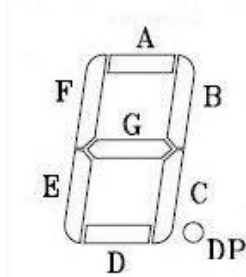


图 10.1 数码管的段结构

我们使用的是共阳极数码管，当某一字段对应的引脚为低电平时，相应字段就点亮，当某一字段对应的引脚为高电平时，相应字段就不亮。

说完上面的原理图，我们来看我们开发板上的设计。

六位一体数码管是属于动态显示，由于人的视觉暂留现象及发光二极管的余辉效应，尽管实际上各位数码管并非同时点亮，但只要扫描的速度足够快，给人的印象就是一组稳定的显示数据，不会有闪烁感。

六位一体数码管的相同的段都接在了一起，一共是 8 个引脚，然后加上 6 个控制信号引脚，一共是 14 个引脚，如图 10.2 所示，其中 DIG[0..7]是对应数

码管的 A,B,C,D,E,F,G,H(即点 DP)；SEL[0..5]是六个数码管的六个控制引脚，也是低电平有效，当控制引脚为低电平时，对应的数码管有了供电电压，这样数码管才能点亮，否则无论数码管的段如何变化，也不能点亮对应的数码管。

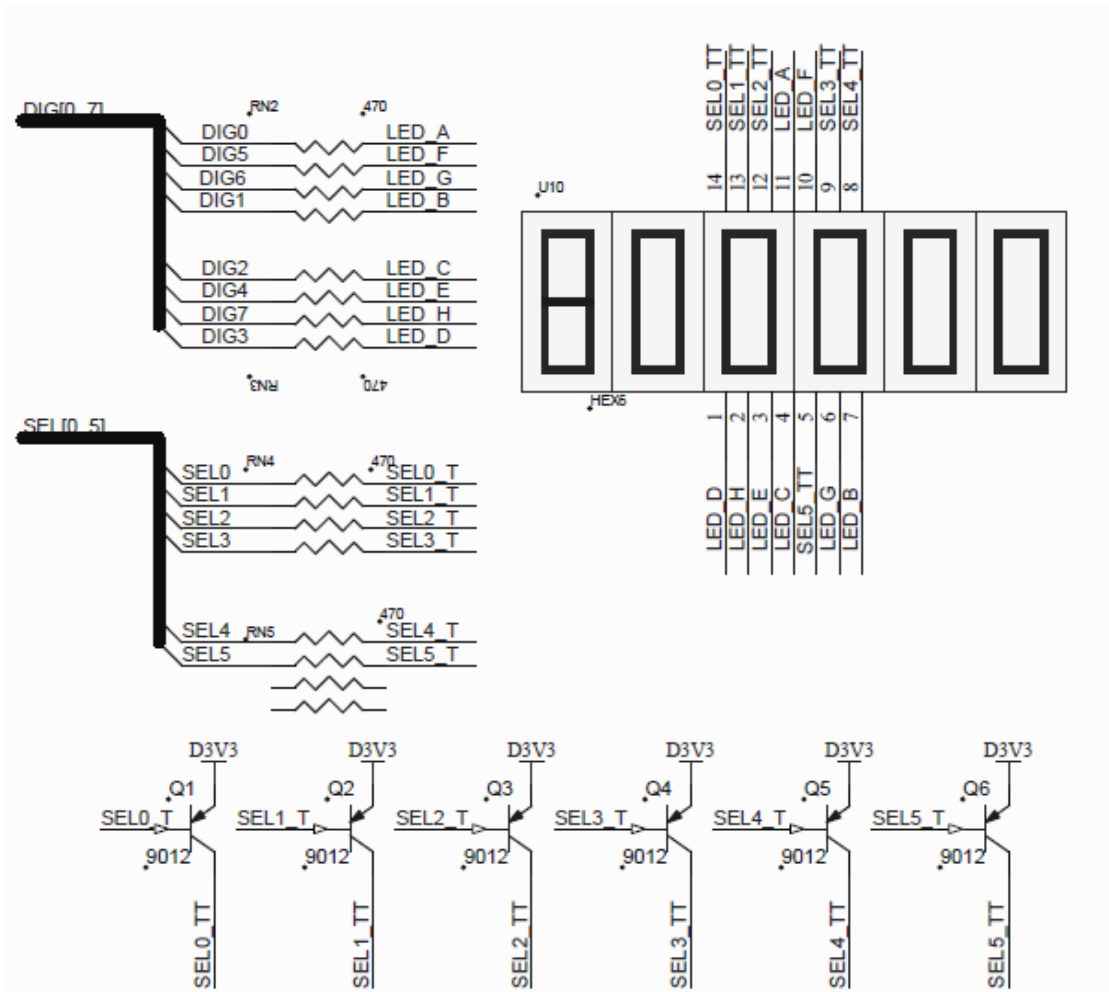


图 10.2 数码管原理图

图 10.3 为数码管实物图



图 10.3 数码管实物图

数码管引脚分配

引脚名称	FPGA 引脚	备注
DIG[0]	B7	对应段 A
DIG[1]	A8	对应段 B
DIG[2]	A6	对应段 C
DIG[3]	B5	对应段 D
DIG[4]	B6	对应段 E
DIG[5]	A7	对应段 F
DIG[6]	B8	对应段 G
DIG[7]	A5	对应点 DP
SEL[0]	A4	从右面数第一个数码管
SEL[1]	B4	从右面数第二个数码管
SEL[2]	A3	从右面数第三个数码管
SEL[3]	B3	从右面数第四个数码管
SEL[4]	A2	从右面数第五个数码管
SEL[5]	B1	从右面数第六个数码管

十、USB 转串口

串口，在这里我就不用多解释了，直接看原理图吧，如图 11.1 所示

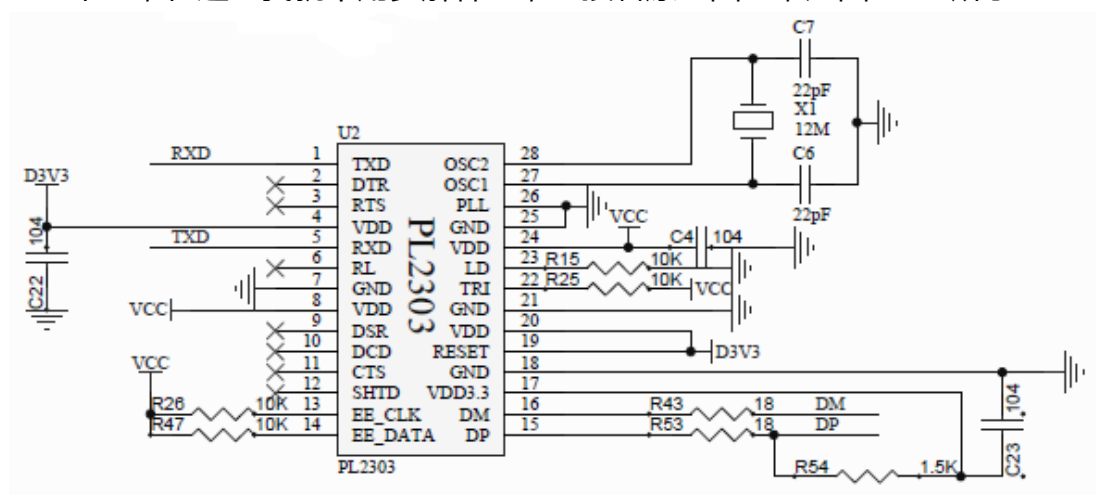


图 11.1 USB 转串口原理图

图 11.2 为 USB 转串口实物图

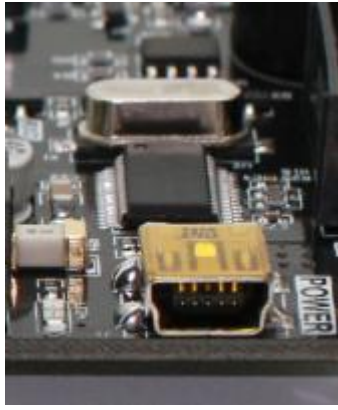


图 11.2 USB 转串口实物图

同时对串口信号设置了两个 led 指示灯,会指示串口是否有数据发出或者是否有数据接受,如图 11.3 所示,

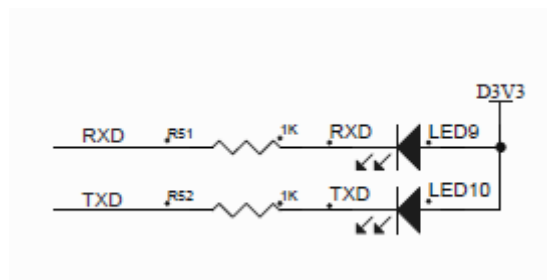


图 11.3 USB 转串口信号指示灯

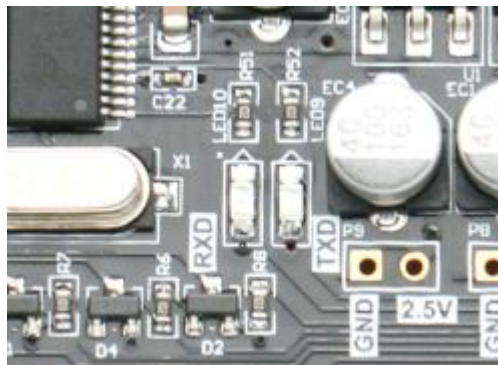


图 11.4 USB 转串口信号灯实物图

串口引脚分配：

引脚名称	FPGA 引脚
RXD	M2
TXD	G1

十一、VGA 接口

说到 VGA 接口,相信很多朋友都不会陌生,因为这种接口是电脑显示器上最主要的接口,从块头巨大的 CRT 显示器时代开始,VGA 接口就被使用,并且一直沿用至今,另外 VGA 接口还被称为 D-Sub 接口。

VGA 接口是一种 D 型接口,上面共有 15 针孔,分成三排,每排五个。比

较重要的是 3 根 RGB 彩色分量信号和 2 根扫描同步信号 HSYNC 和 VSYNC 针。

引脚 1、2、3 分别为红绿蓝三基色模拟电压，为 0~0.714V peak-peak (峰-峰值)，0V 代表无色，0.714V 代表满色。一些非标准显示器使用的是 1Vpp 的满色电平。

三基色源端及终端匹配电阻均为 75 欧姆。如图 12.1

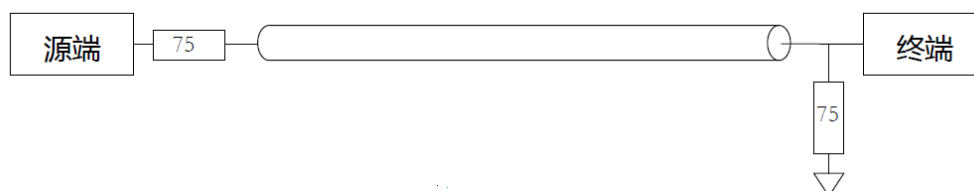


图 12.1 VGA 视频信号传输示意图

HSYNC 和 VSYNC 分别为行数据同步不帧数据同步，为 TTL 电平。

接下来，我们看一下我们的 VGA 接口的原理图设计，如图 12.2 所示，大家可以看到我们设计的时候，主要利用的也是上述所说的 3 根 RGB 彩色分量信号和 2 跟扫描同步信号 HSYNC 和 VSYNC。

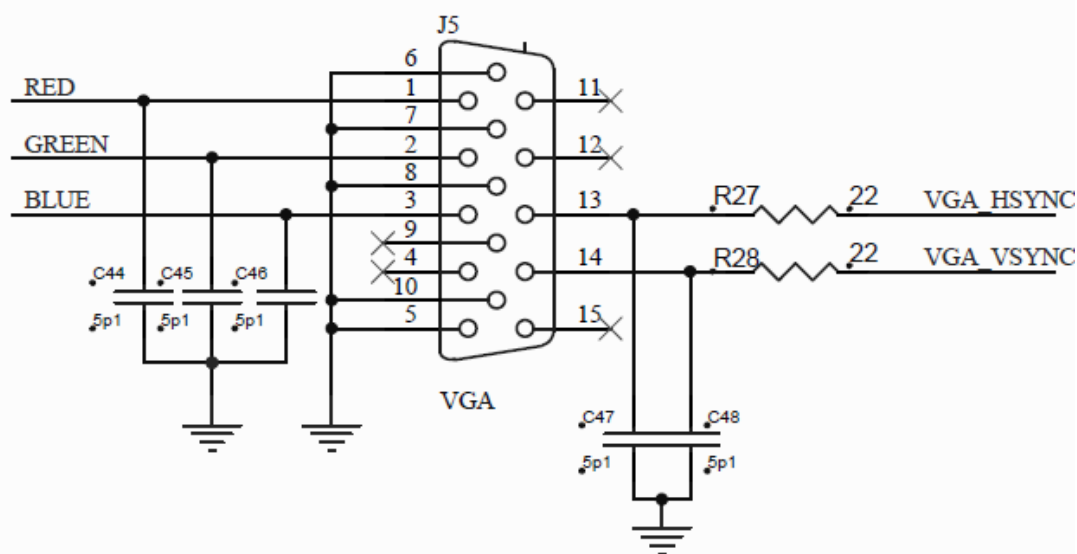


图 12.2 VGA 接口部分原理图

FPGA 只能输出数字信号，而 VGA 需要的 R、G、B 是模拟信号，所以我们需要进行 模拟-数字 转换即 DAC 功能。实现视频 DAC 我们可以选用专用的芯片，但是那样价格昂贵，这里我们选用 R-2R 电阻网络作为视频 DAC，从最终测试结果上看，此方法的显示效果是理想的。没有雪花、抖动、颜色也正。当然如果在要求较高的场合，是必须选用与用 DAC 芯片的。

16bit 真彩色显示，可以显示 $2^{16}=65536$ 种颜色，RGB 分别占的位数

为 5 : 6 : 5 模式，也就是红色用 5 位、绿色用 6 位、蓝色用 5 位来表示。下面就用红色 5 位来说明 R-2R 的选取。

由于 DAC 是一个线性的模型，所以当红色 5bit 输出都是高电平的时候，我们需要得到 0.714V 的电压，拓扑结构如图 12.3 所示。

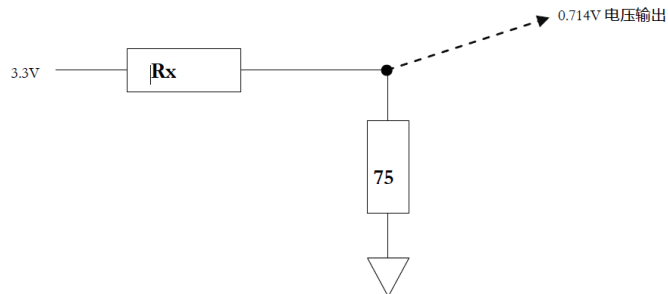


图 12.3 R-2R 视频 DAC 模式拓扑结构

FPGA 的输出电压为 3.3V，Rx 为 5bit R-2R 电阻网络开联而得，所以可以得到如下方程：

$$(R_x + 75) / 3.3 = 75 / 0.714 \quad (1)$$

设基准电阻为 Ra，则：

$$R_a // 2R_a // 4R_a // 8R_a // 16R_a = R_x \quad (2)$$

根据式 (1)、(2)，求解得到， $R_x = 271.6$ ， $R_a = 526.2$ 。所以我们选择 500, 1k, 2k, 4k, 8k 作为电阻网络，为了保证电阻的一致性，我们选用了 1k、2k 的排阻开联、串联的形式，如下图 12.4 所示，

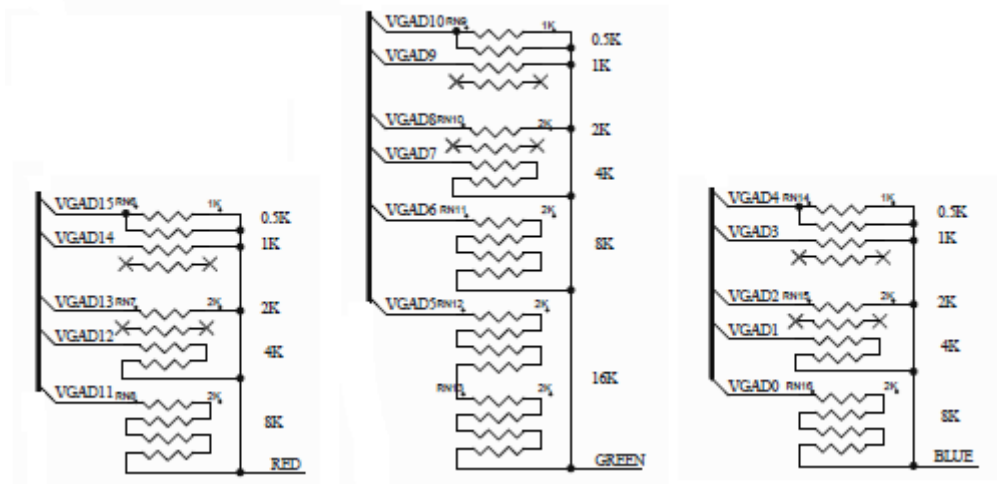


图 12.4 VGA RGB 颜色分量图

图 12.5 为 VGA 接口实物图



12.5 VGA 接口实物图

VGA 接口引脚分配

引脚名称	FPGA 引脚	备注
VGAD[0]	C15	BLUE[0]
VGAD[1]	B16	BLUE[1]
VGAD[2]	A15	BLUE[2]
VGAD[3]	B14	BLUE[3]
VGAD[4]	A14	BLUE[4]
VGAD[5]	B13	GREEN[0]
VGAD[6]	A13	GREEN[1]
VGAD[7]	B12	GREEN[2]
VGAD[8]	A12	GREEN[3]
VGAD[9]	B11	GREEN[4]
VGAD[10]	A11	GREEN[5]
VGAD[11]	B10	RED[0]
VGAD[12]	A10	RED[1]
VGAD[13]	B9	RED[2]
VGAD[14]	A9	RED[3]
VGAD[15]	C8	RED[4]
VGA_HSYNC	C16	行同步信号
VGA_VSYNC	D15	场同步信号

十二、蜂鸣器

蜂鸣器不多解释了，我们在设计的时候，通过一个三极管进行控制，当低电平时，三极管导通，蜂鸣器响；当高电平，三极管截止，蜂鸣器不响；**为了方便起见，我们在蜂鸣器跟 FPGA 之间加入了一个跳帽(CB1)，如果讨厌蜂鸣器响，**

可以把跳帽去掉即可。原理图如图 13.1

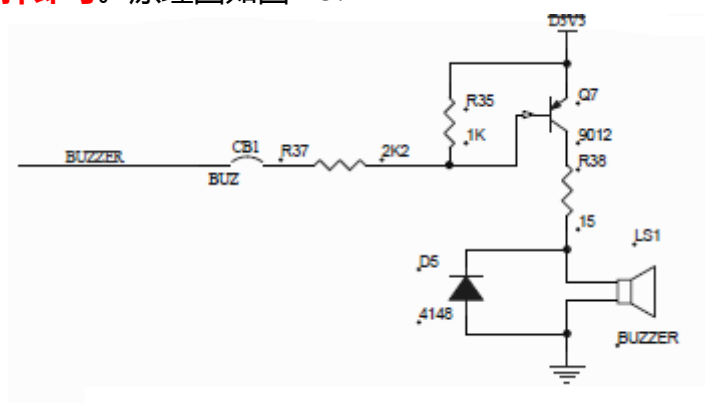


图 13.1 蜂鸣器原理图

图 13.2 为蜂鸣器实物图，黄色为连接蜂鸣器和 FPGA 引脚的跳帽，如果不希望蜂鸣器响，拔掉即可。



图 13.2 蜂鸣器原理图

蜂鸣器引脚分配：

引脚名称	FPGA 引脚
BUZZER	J1

十三、SD 卡槽

SD 卡(Secure Digital Memory Card)是一种基于半导体闪存工艺的存储卡，1999 年由日本松下主导概念，参与者东芝和美国 SanDisk 公司进行实质研发而完成。2000 年这几家公司发起成立了 SD 协会(Secure Digital Association 简称 SDA) 阵容强大 吸引了大量厂商参加。其中包括 IBM ,Microsoft ,Motorola , NEC、Samsung 等。在这些领导厂商的推动下，SD 卡已成为目前消费数码设备中应用最广泛的一种存储卡。

SD 卡是现在非常常用的存储设备，我们扩展出来的 SD 卡，支持 SPI 模式和 SD 模式，使用的 SD 卡为大卡的，不支持 MicroSD 卡（可以通过大卡托使用）。原理图如图 15.1 所示。

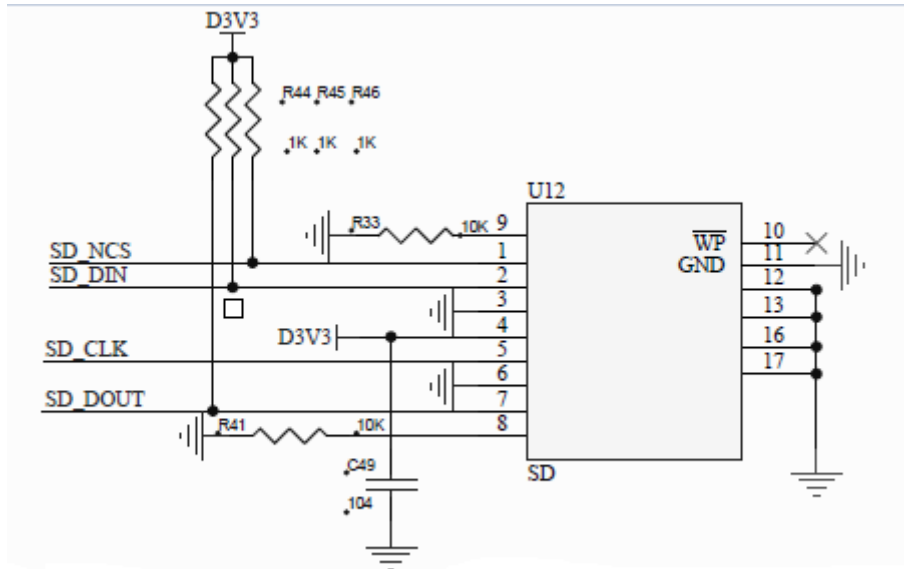


图 15.1 SD 卡槽原理图

图 15.2 SD 卡槽实物图

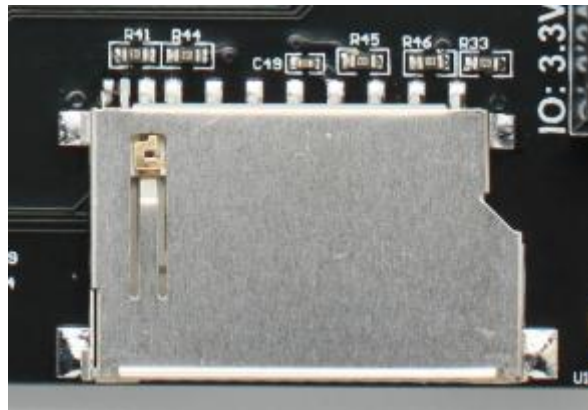


图 15.2 SD 卡槽实物图

SD 卡槽引脚分配

SPI 模式	
引脚名称	FPGA 引脚
SD_DI	K16
SD_NCS	K15
SD_CLK	J15
SD_DOUT	J16

十四、扩展口

开发板预留 1 个扩展口，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。这些 IO 口都是独立的 IO 口，没有跟其他设备复用。**IO 口的电平为 TTL 3.3V，用户使用的时候，切勿直接跟 5V 设备直接**

连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。

扩展口 J15，如图 14.1 所示

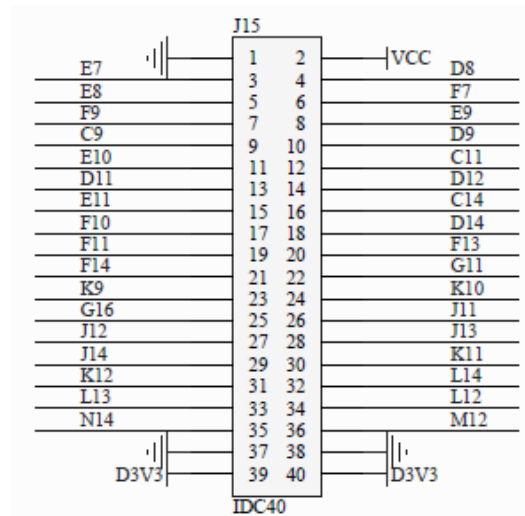


图 14.1 J15 扩展口原理图

图 16.2 为 J15 扩展口实物图，两个扩展口中上面的那个接口。



图 16.2 J15 扩展口实物图

此扩展口在连接我们的扩展模块的时候，方向如图 14.3 所示，1,2 脚在接口的上方（注意 PCB 上的标识）。

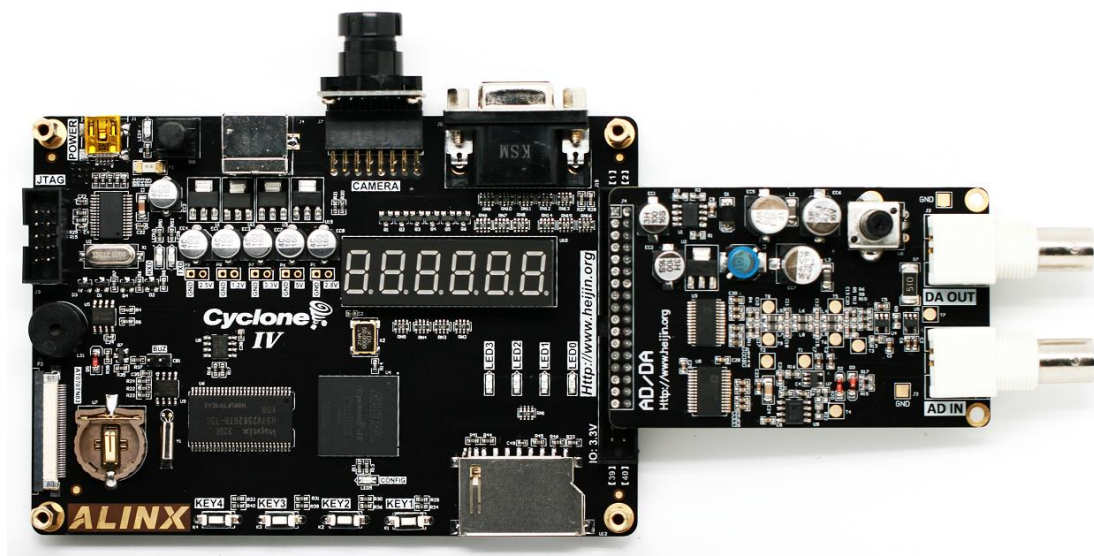


图 14.3 P3 扩展口实物图

P3 扩展口引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC(5V)
3	E7	4	D8
5	E8	6	F7
7	F9	8	E9
9	C9	10	D9
11	E10	12	C11
13	D11	14	D12
15	E11	16	C14
17	F10	18	D14
19	F11	20	F13
21	F14	22	G11
23	K9	24	K10
25	G16	26	J11
27	J12	28	J13
29	J14	30	K11
31	K12	32	L14
33	L13	34	L12
35	N14	36	M12
37	GND	38	GND
39	D3V3	40	D3V3

十五、LED

开发板板载了 4 个 LED 发光二极管，**引脚高电平时 LED 发光，低电平时 LED 不发光**，原理图如图 15.1

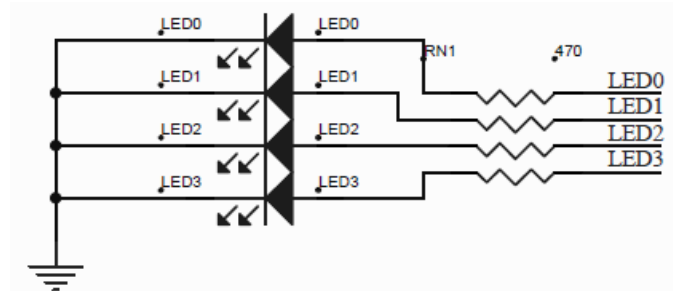


图 15.1 LED 原理图

图 17.2 为 LED 实物图



图 17.2 4 个 LED 实物图

LED 引脚分配：

引脚名称	FPGA 引脚
LED0	G15
LED1	F16
LED2	F15
LED3	D16

十六、 按键

开发板板载了 4 个独立按键，**按键为低电平有效**，原理图如图 16.1 所示

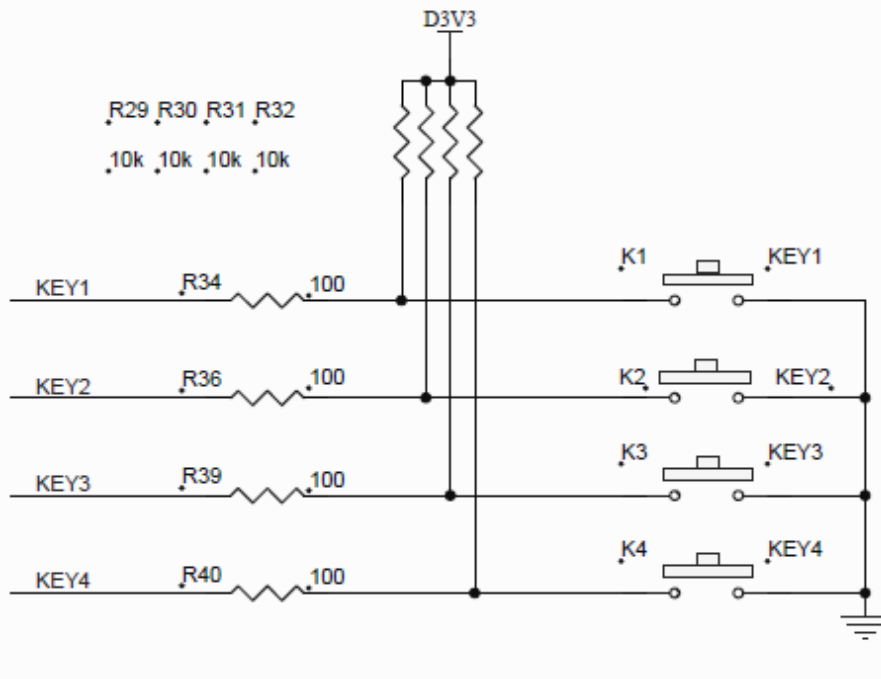


图 16.1 4 个独立按键原理图

图 16.2 4 个独立按键实物图



图 16.2 4 个独立按键实物图

按键引脚分配：

引脚名称	FPGA 引脚	按键标号
KEY1	E15	K1
KEY2	E16	K2
KEY3	M16	K3
KEY4	M15	K4

十七、摄像头接口

开发板新增了 CMOS 摄像头接口，可以连接 OV7670 摄像头模块，可以实现视频采集功能，采集以后，可以通过 TFT 液晶屏或者 VGA 接口连接显示器进行显示。OV7670，30W 像素，输出分辨率为 640*480，对于学习 CMOS 摄像头来说，这些参数已经够用了。

原理图如图 17.1 所示

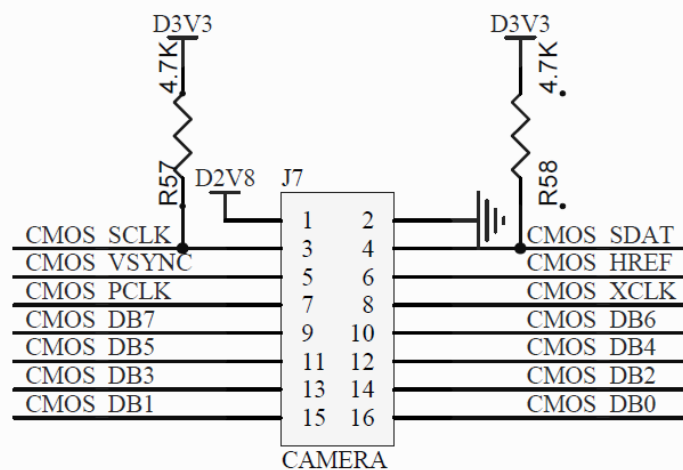


图 17.1 摄像头接口原理图

实物图如图 17.2 所示（**摄像头模块为选配件**）

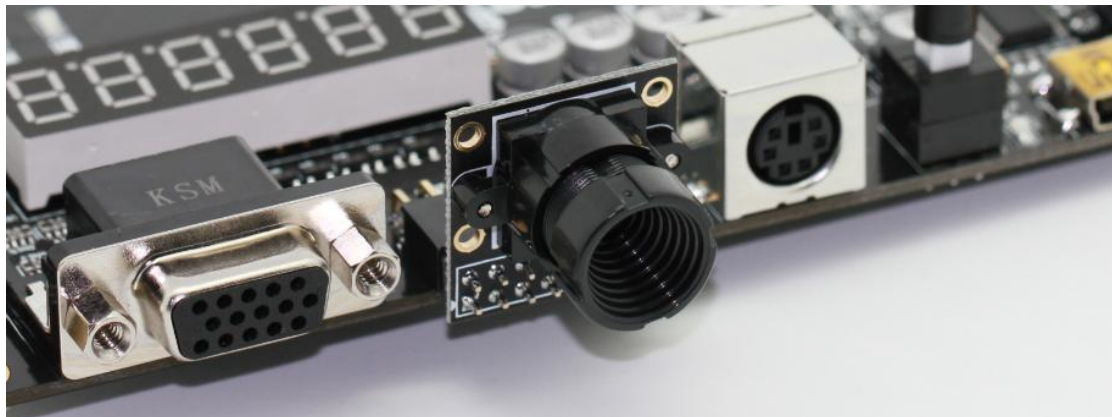


图 17.2 摄像头接口实物图

摄像头接口引脚分配：

引脚名称	FPGA 引脚
CMOS_DB[0]	G5
CMOS_DB[1]	F2
CMOS_DB[2]	F3
CMOS_DB[3]	F5
CMOS_DB[4]	D1
CMOS_DB[5]	D3
CMOS_DB[6]	E5
CMOS_DB[7]	C3
CMOS_XCLK	D4
CMOS_PCLK	M1
CMOS_VSYNC	D5
CMOS_SCLK	C6
CMOS_SDAT	D6
CMOS_HREF	F6

十八、7寸 TFT 接口

开发板新增了7寸 TFT 液晶屏接口，此接口指定液晶屏型号为：AT070TN83。此液晶屏分辨率为 $800 \times 3 (RGB) \times 480$ ，接口为 18bit 的 RGB 接口，自身带背光驱动电路，预留 40 针的 FPC 接口，可以通过 40 针软排线与开发板 7 寸 TFT 接口连接。连接方式如图 18.1 所示

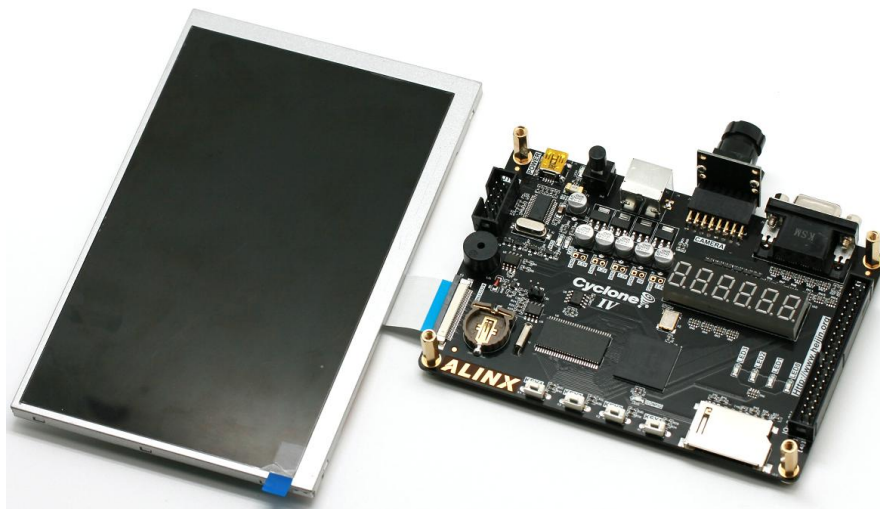


图 18.1 开发板与 7 寸液晶屏连接实物图

7 寸 TFT 液晶屏接口原理图如图 18.2 所示

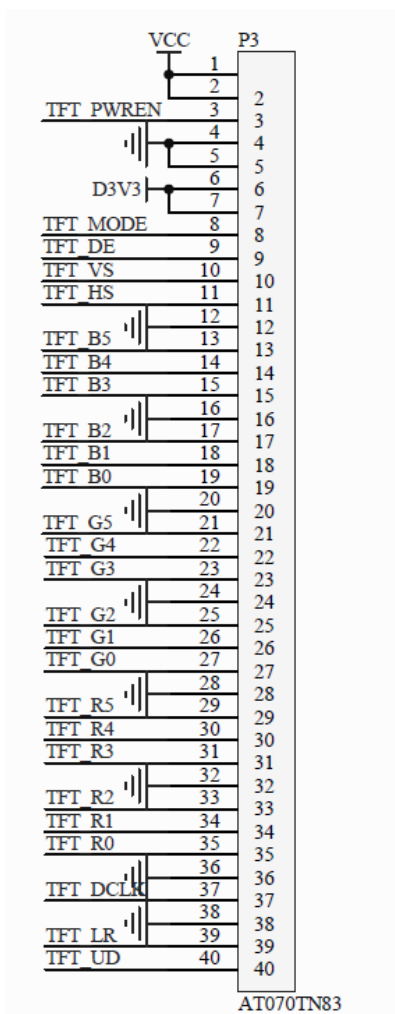


图 18.2 7 寸液晶屏接口原理图

7 寸 TFT 接口实物图如图 18.3 所示，

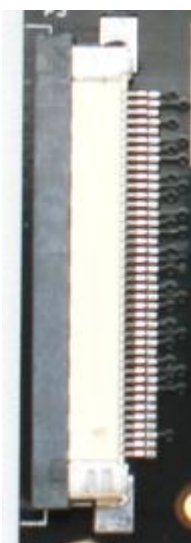


图 18.3 7 寸 TFT 液晶屏接口实物图

7 寸 TFT 接口引脚分配：

引脚名称	FPGA 引脚
LCD_UD	J6
LCD_PWM	P14
LCD_OUT_VS	N11
LCD_OUT_RGB_R[0]	K5
LCD_OUT_RGB_R[1]	N3
LCD_OUT_RGB_R[2]	K6
LCD_OUT_RGB_R[3]	P3
LCD_OUT_RGB_R[4]	L6
LCD_OUT_RGB_R[5]	N5
LCD_OUT_RGB_G[0]	M6
LCD_OUT_RGB_G[1]	P6
LCD_OUT_RGB_G[2]	N6
LCD_OUT_RGB_G[3]	M7
LCD_OUT_RGB_G[4]	P8
LCD_OUT_RGB_G[5]	N8
LCD_OUT_RGB_B[0]	M8
LCD_OUT_RGB_B[1]	L7
LCD_OUT_RGB_B[2]	L8
LCD_OUT_RGB_B[3]	N9
LCD_OUT_RGB_B[4]	M9
LCD_OUT_RGB_B[5]	M10
LCD_OUT_HS	P11
LCD_OUT_DE	N12
LCD_OUT_CLK	L4
LCD_MODE	N13
LCD_LR	L3