

# **XILINX FPGA 开发平台 用户手册**

## **AV7K300 开发板**



## 文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

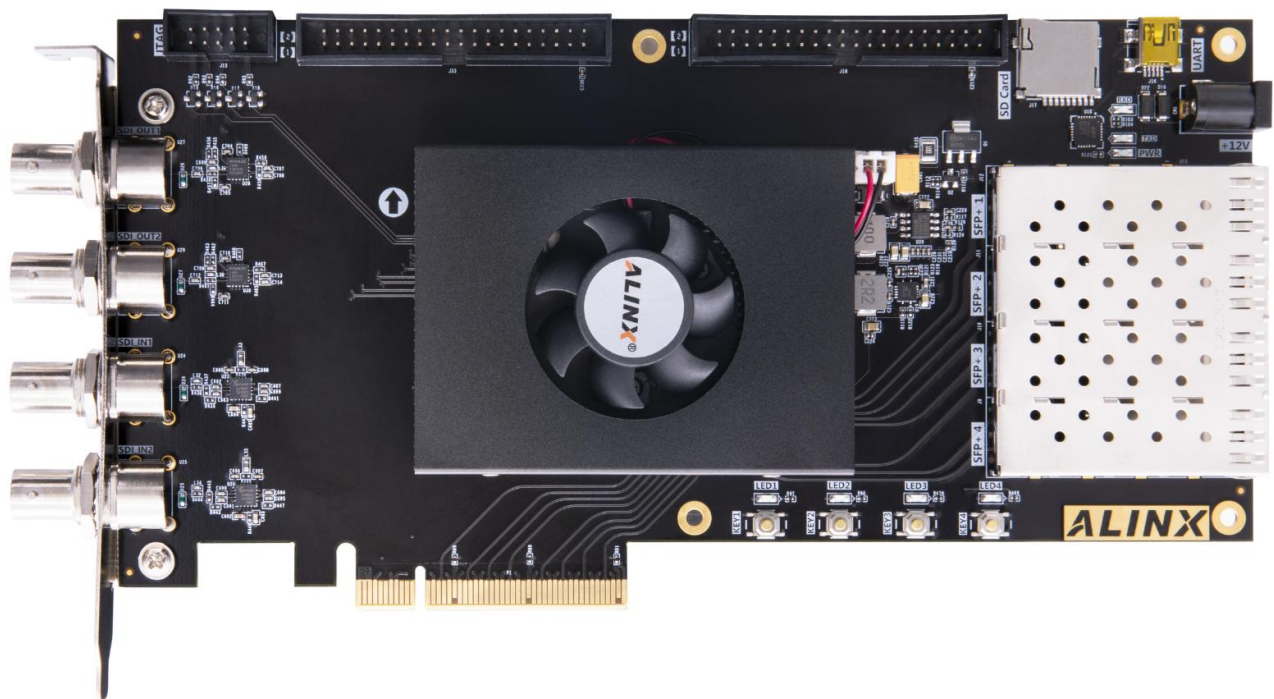
## 目 录

文档版本控制 .....	2
一、 开发板简介 .....	5
二、 AC7K325B 核心板 .....	7
(一) 简介 .....	7
(二) FPGA 芯片 .....	8
(三) DDR3 DRAM .....	9
(四) QSPI Flash .....	13
(五) 时钟配置 .....	15
(六) LED 灯 .....	16
(七) 电源 .....	17
(八) 结构图 .....	19
(九) 连接器管脚定义 .....	19
三、 扩展板 .....	28
(一) 简介 .....	28
(一) 光纤接口 .....	29
(二) PCIe 插槽 .....	30
(三) SDI 输出接口 .....	32
(四) SDI 输入接口 .....	33
(五) USB 转串口 .....	34
(六) SD 卡槽 .....	34
(七) 40 针扩展口 .....	35
(八) 按键和 LED 灯 .....	37
(九) JTAG 调试口 .....	38
(十) 电源 .....	38
(十一) 结构尺寸图 .....	39

芯驿电子科技（上海）有限公司 基于 XILINX KINTEX-7 开发平台的开发板（型号：AV7K300）2020 款正式发布了正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 KINTEX-7 FPGA 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。核心板使用 XILINX 的 KINTEX-7 芯片 XC7K325 的解决方案，含挂载了 4 片 512MB 的高速 DDR3 SDRAM 芯片和 1 片 128Mb 的 QSPI FLASH 芯片。

在底板设计上我们为用户扩展了丰富的外围接口，比如 1 个 PCIe x8 接口、4 路光纤接口、2 路 SDI 输出接口、2 路 SDI 输入接口、1 路 UART 串口接口、1 路 SD 卡接口、2 个 40 针扩展接口等等。满足用户各种高速数据交换，数据存储，视频传输处理以及工业控制的要求，是一款“专业级”的 FPGA 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



## 一、 开发板简介

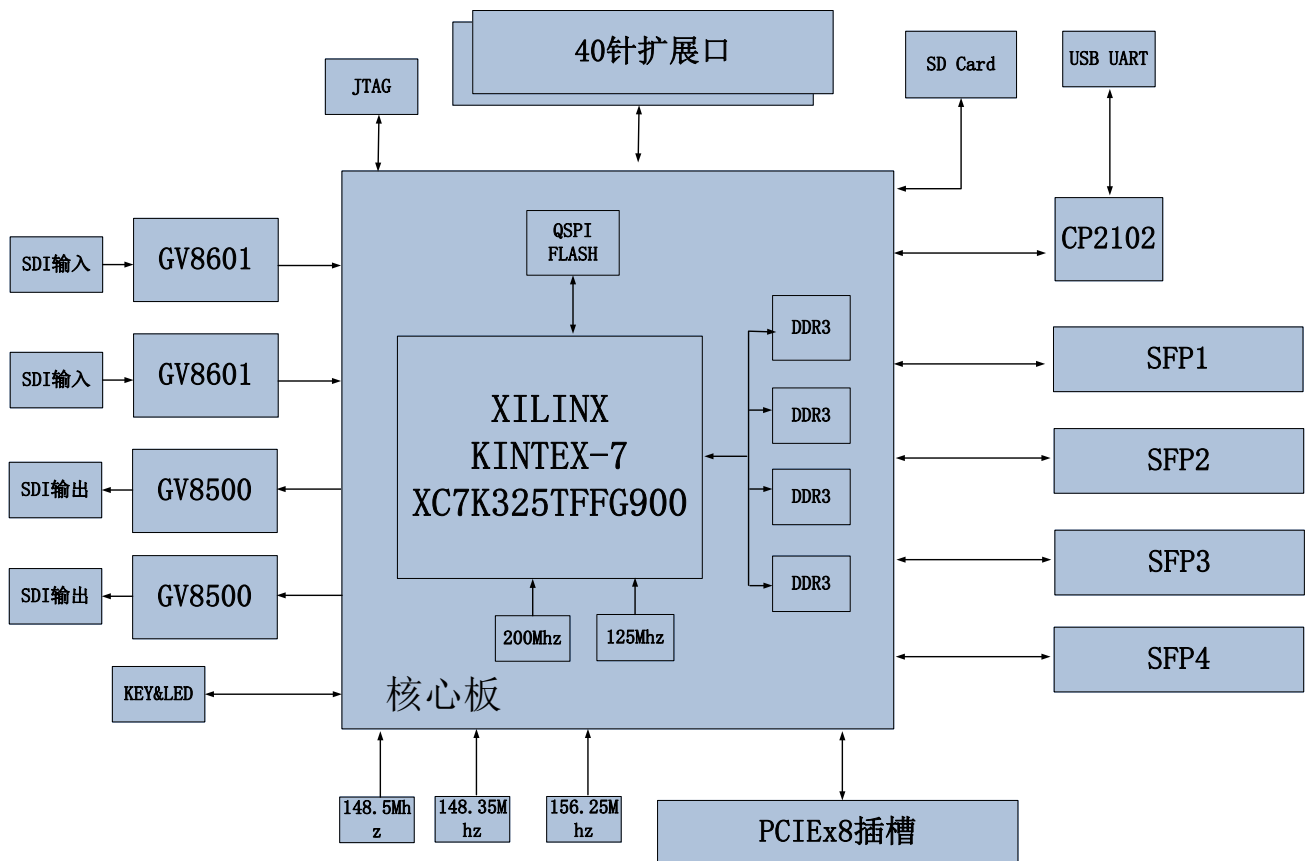
在这里，对这款 KINTEX-7 AV7K300 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 XC7K325 + 4 个 DDR3 + QSPI FLASH 的最小系统构成。采用 Xilinx 公司的 KINTEX-7 系列的芯片，型号为 XC7K325TFFG900。在 FPGA 芯片的 HP 端口上连接了 4 片 DDR3 存储芯片，每片 DDR3 容量高达 512M 字节，组成 64 位的数据带宽。1 个 128Mb 的 QSPI FLASH 用来静态存储 FPGA 芯片的配置文件或者其它用户数据。

底板为核心板扩展了丰富的外围接口，其中包含 1 个 PCIe8 接口、4 路光纤接口、2 路 SDI 输出接口、2 路 SDI 输出接口、1 路 UART 串口接口、1 路 SD 卡接口、2 个 40 针扩展接口和一些按键 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- FPGA 核心板

由 XC7K325 + 4 个 DDR3 + QSPI FLASH 的最小系统组成，另外有两个晶振提供时钟，

一个单端 200MHz 晶振提供给 FPGA 逻辑的 DDR 控制参考时钟，另外一个差分 125MHz 晶振提供给 GTX 收发器参考时钟。

- PCIe x8 接口

支持 PCI Express 2.0 标准，提供标准的 PCIe x8 高速数据传输接口，单通道通信速率可高达 5GBaud。

- 4 路 SFP 光纤接口

XC7K325 的 GTX 收发器的 4 路高速收发器连接到 4 个光模块的发送和接收，实现 4 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 10Gb/s。

- SDI 视频输出

2 路 SDI 视频输出接口，我们选用了 SEMTECH 公司的 GV8500 SDI 驱动器芯片，支持不同格式的数据输出 HDcctv 1.0, HD-SDI(ST 292), 3G\_SDI(ST-424)和 SD\_SDI ( ST259 )。

- SDI 视频输入

2 路 SDI 视频输入接口，我们选用了 SEMTECH 公司的 GV8601 SDI 均衡器芯片，支持不同格式的数据输入 HDcctv 1.0, HD-SDI(ST 292), 3G\_SDI(ST-424)和 SD\_SDI ( ST259 )。输入接口自适应三种速率的视频接收。

- USB Uart 接口

1 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- 40 针扩展口

2 个 40 针 2.54mm 间距的扩展口，可以外接黑金的各种模块( 双目摄像头 ,TFT LCD 屏 , 高速 AD 模块等等 )。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口 ,用于 FPGA 程序的下载和调试 ,用户可以通过 XILINX 下载器对 FPGA 系统进行调试和下载。

- LED 灯

7 个发光二极管 LED, 核心板上 2 个 ,底板上 7 个。核心板上 1 个电源指示灯 ;1 个 DONE 配置指示灯。底板上有 1 个电源指示灯，4 个用户指示灯和 2 个串口指示灯。

- 按键

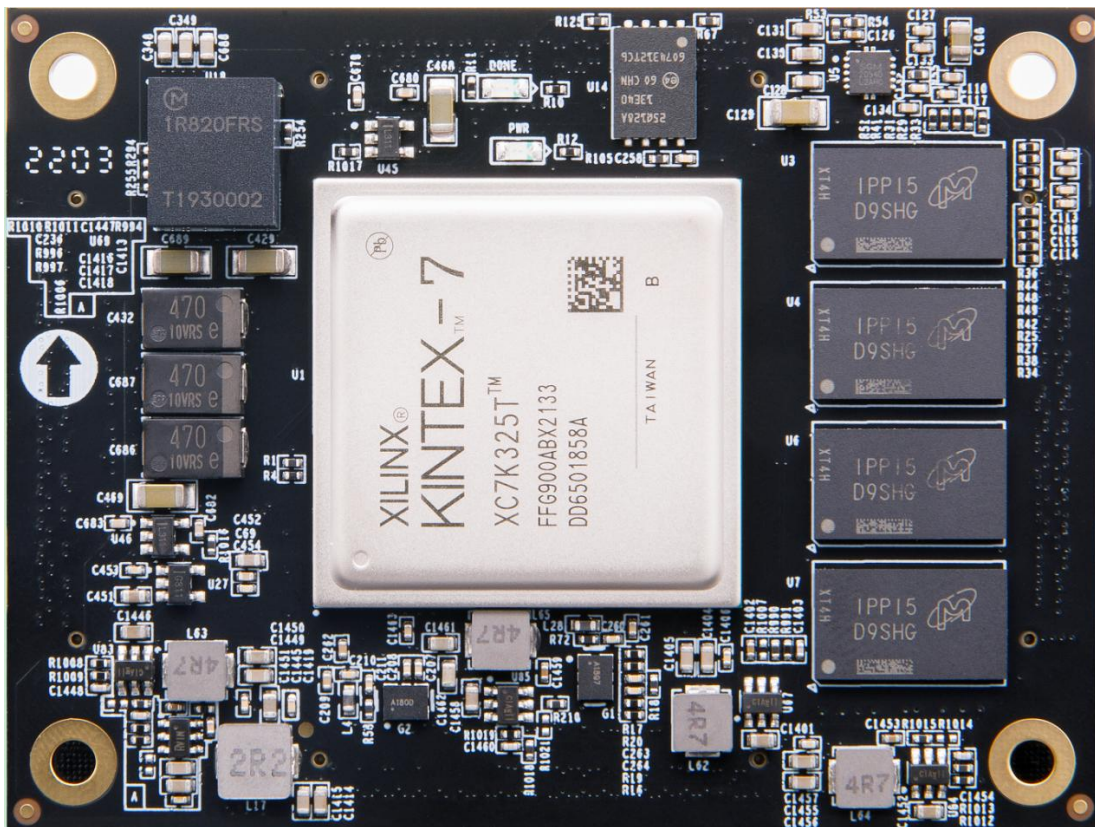
底板上 4 个用户按键。

## 二、 AC7K325B 核心板

### (一) 简介

AC7K325B(核心板型号, 下同)核心板, FPGA 芯片是基于 XILINX 公司的 XC7K325 系列的 XC7K325TFFG900。核心板使用了 4 片 Micron 的 512MB 的 DDR3 芯片 MT41J256M16HA-125,总的容量达 2GB。另外核心板上也集成了 1 片 128MBit 大小的 QSPI FLASH, 用于启动存储配置和系统文件。

这款核心板的 4 个板对板连接器扩展出了 276 个 IO, 其中 BANK17 和 BANK18 的 92 个 IO 的电平可以通过更换核心板上的 LDO 芯片来修改, 满足用户不用电平接口的要求; 另外核心板也扩展出了 16 对高速收发器 GTX 接口。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且 IO 连接部分, FPGA 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 80\*60 (mm), 对于二次开发来说, 非常适合。



## (二) FPGA 芯片

核心板使用的是 Xilinx 公司的 KINTEX-7 FPGA 芯片，型号为 XC7K325T-2FFG900I。速度等级为 2，温度等级为工业级。此型号为 FGG900 封装，900 个引脚，引脚间距为 1.0mm。Xilinx KINTEX-7 FPGA 的芯片命名规则如下图 2-2-1 所示：

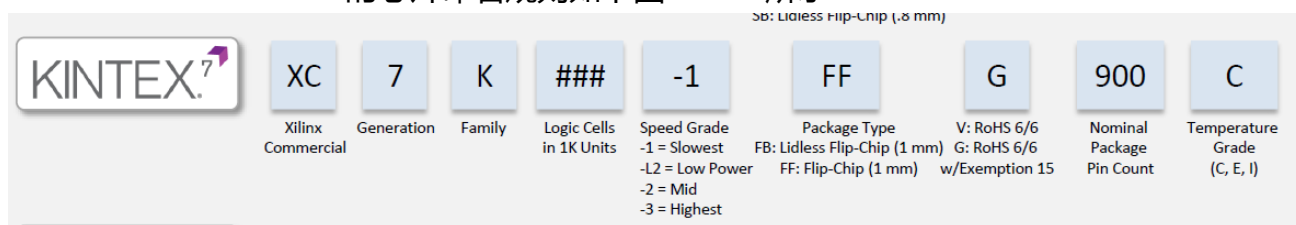


图2-2-1 KINTEX-7 FPGA型号命名规则定义

图 2-2-2 为开发板所用的 XC7K325T 芯片实物图。



图2-2-2 KINTEX-7 FPGA芯片实物

其中 FPGA 芯片 XC7K325T 的主要参数如下所示：

名称	具体参数
逻辑单元 Logic Cells	326,080
查找表(Slices)	50,950
触发器(CLB flip-flops)	407,600
Block RAM ( kb ) 大小	16,020
DSP 处理单元 ( DSP48 Slices )	840
PCIe Gen2	1



模数转换/XADC	1 个 12bit, 1Mbps AD
GTP Transceiver	16 个, 12.5Gb/s max
速度等级	-2
温度等级	工业级

### (三) DDR3 DRAM

AC7K325B核心板上配有四片Micron(美光)的512MB的DDR3芯片,型号为MT41K256M16HA-125(兼容MT41J256M16HA-125)。4片DDR3 SDRAM组成64bit的总线宽度。因为4片DDR3芯片连接到FPGA的HP口,DDR3 SDRAM的最高运行速度可达800MHz(数据速率1600Mbps),4片DDR3存储系统直接连接到了FPGA的BANK32, BANK33, BANK34的接口上。DDR3 SDRAM的具体配置如下表2-3-1所示。

表2-3-1 DDR3 SDRAM配置

位号	芯片型号	容量	厂家
U3,U4,U6,U7	MT41K256M16HA-125 或 MT41J256M16HA-125	256M x 16bit	Micron

DDR3 的硬件设计需要严格考虑信号完整性,我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制,保证 DDR3 的高速稳定的工作。

FPGA 和 DDR3 DRAM 的硬件连接方式如图 2-3-1 所示:

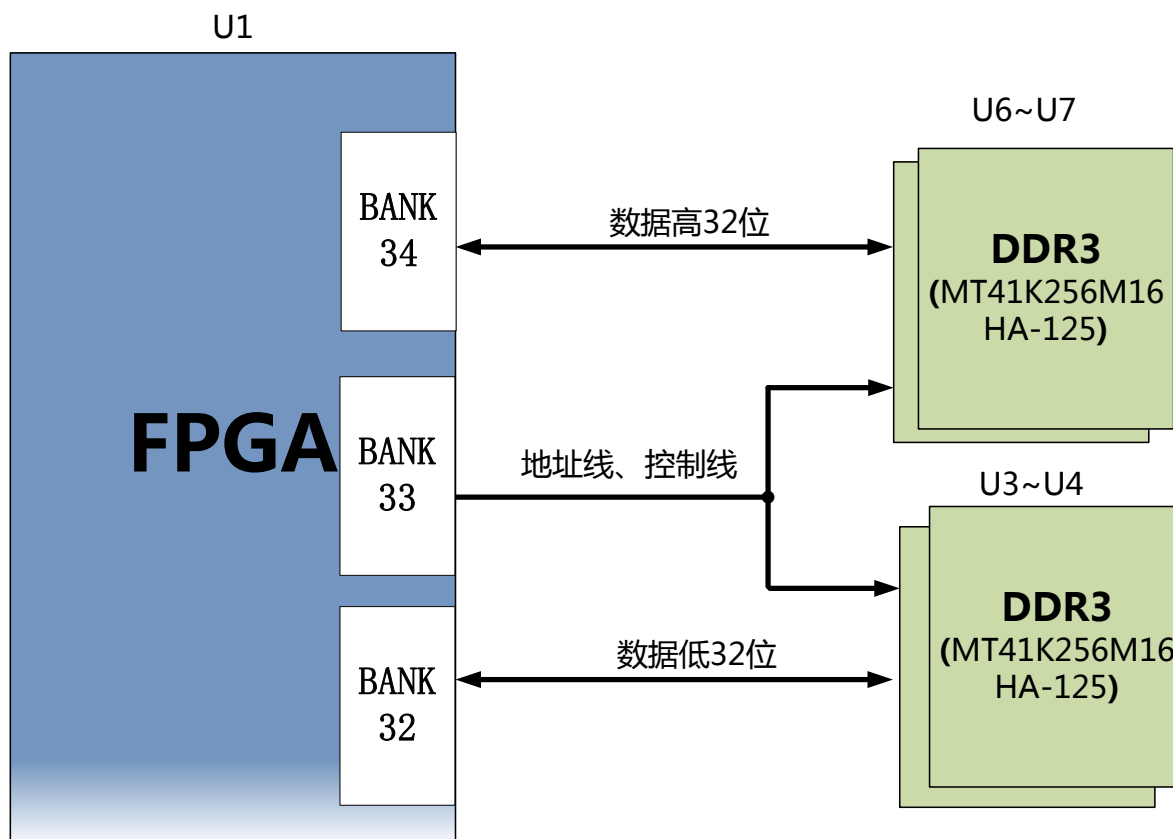


图2-3-1 DDR3 DRAM原理图部分

4 片 DDR3 DRAM 引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号
DDR3_D0	IO_L13P_T2_MRCC_32	AD18
DDR3_D1	IO_L16N_T2_32	AB18
DDR3_D2	IO_L14P_T2_SRCC_32	AD17
DDR3_D3	IO_L17P_T2_32	AB19
DDR3_D4	IO_L14N_T2_SRCC_32	AD16
DDR3_D5	IO_L17N_T2_32	AC19
DDR3_D6	IO_L13N_T2_MRCC_32	AE18
DDR3_D7	IO_L18P_T2_32	AB17
DDR3_D8	IO_L8P_T1_32	AG19
DDR3_D9	IO_L7N_T1_32	AK19
DDR3_D10	IO_L10P_T1_32	AD19
DDR3_D11	IO_L7P_T1_32	AJ19
DDR3_D12	IO_L11P_T1_SRCC_32	AF18
DDR3_D13	IO_L8N_T1_32	AH19
DDR3_D14	IO_L10N_T1_32	AE19

DDR3_D15	IO_L11N_T1_SRCC_32	AG18
DDR3_D16	IO_L1N_T0_32	AK15
DDR3_D17	IO_L5N_T0_32	AJ17
DDR3_D18	IO_L2N_T0_32	AH15
DDR3_D19	IO_L4P_T0_32	AF15
DDR3_D20	IO_L4N_T0_32	AG14
DDR3_D21	IO_L5P_T0_32	AH17
DDR3_D22	IO_L2P_T0_32	AG15
DDR3_D23	IO_L1P_T0_32	AK16
DDR3_D24	IO_L19P_T3_32	AE15
DDR3_D25	IO_L24P_T3_32	Y16
DDR3_D26	IO_L22P_T3_32	AC14
DDR3_D27	IO_L20P_T3_32	AA15
DDR3_D28	IO_L23P_T3_32	AA17
DDR3_D29	IO_L22N_T3_32	AD14
DDR3_D30	IO_L23N_T3_32	AA16
DDR3_D31	IO_L20N_T3_32	AB15
DDR3_D32	IO_L22N_T3_34	AK6
DDR3_D33	IO_L23P_T3_34	AJ8
DDR3_D34	IO_L22P_T3_34	AJ6
DDR3_D35	IO_L19P_T3_34	AF8
DDR3_D36	IO_L24N_T3_34	AK4
DDR3_D37	IO_L23N_T3_34	AK8
DDR3_D38	IO_L24P_T3_34	AK5
DDR3_D39	IO_L20N_T3_34	AG7
DDR3_D40	IO_L10P_T1_34	AE4
DDR3_D41	IO_L8N_T1_34	AF1
DDR3_D42	IO_L11P_T1_SRCC_34	AE5
DDR3_D43	IO_L8P_T1_34	AE1
DDR3_D44	IO_L12P_T1_MRCC_34	AF6
DDR3_D45	IO_L10N_T1_34	AE3
DDR3_D46	IO_L11N_T1_SRCC_34	AF5
DDR3_D47	IO_L7N_T1_34	AF2
DDR3_D48	IO_L13P_T2_MRCC_34	AH4
DDR3_D49	IO_L16N_T2_34	AJ2

DDR3_D50	IO_L14N_T2_SRCC_34	AH5
DDR3_D51	IO_L13N_T2_MRCC_34	AJ4
DDR3_D52	IO_L16P_T2_34	AH2
DDR3_D53	IO_L17N_T2_34	AK1
DDR3_D54	IO_L14P_T2_SRCC_34	AH6
DDR3_D55	IO_L17P_T2_34	AJ1
DDR3_D56	IO_L2P_T0_34	AC2
DDR3_D57	IO_L4P_T0_34	AC5
DDR3_D58	IO_L1N_T0_34	AD3
DDR3_D59	IO_L6P_T0_34	AC7
DDR3_D60	IO_L5N_T0_34	AE6
DDR3_D61	IO_L5P_T0_34	AD6
DDR3_D62	IO_L2N_T0_34	AC1
DDR3_D63	IO_L4N_T0_34	AC4
DDR3_DM0	IO_L16P_T2_32	AA18
DDR3_DM1	IO_L12P_T1_MRCC_32	AF17
DDR3_DM2	IO_L6P_T0_32	AE16
DDR3_DM3	IO_L24N_T3_32	Y15
DDR3_DM4	IO_L20P_T3_34	AF7
DDR3_DM5	IO_L7P_T1_34	AF3
DDR3_DM6	IO_L18P_T2_34	AJ3
DDR3_DM7	IO_L1P_T0_34	AD4
DDR3_DQS0_P	IO_L15P_T2_DQS_32	Y19
DDR3_DQS0_N	IO_L15N_T2_DQS_32	Y18
DDR3_DQS1_P	IO_L9P_T1_DQS_32	AJ18
DDR3_DQS1_N	IO_L9N_T1_DQS_32	AK18
DDR3_DQS2_P	IO_L3P_T0_DQS_32	AH16
DDR3_DQS2_N	IO_L3N_T0_DQS_32	AJ16
DDR3_DQS3_P	IO_L21P_T3_DQS_32	AC16
DDR3_DQS3_N	IO_L21N_T3_DQS_32	AC15
DDR3_DQS4_P	IO_L21P_T3_DQS_34	AH7
DDR3_DQS4_N	IO_L21N_T3_DQS_34	AJ7
DDR3_DQS5_P	IO_L9P_T1_DQS_34	AG4
DDR3_DQS5_N	IO_L9N_T1_DQS_34	AG3
DDR3_DQS6_P	IO_L15P_T2_DQS_34	AG2

DDR3_DQS6_N	IO_L15N_T2_DQS_34	AH1
DDR3_DQS7_P	IO_L3P_T0_DQS_34	AD2
DDR3_DQS7_N	IO_L3N_T0_DQS_34	AD1
DDR3_A0	IO_L1P_T0_33	AA12
DDR3_A1	IO_L1N_T0_33	AB12
DDR3_A2	IO_L2P_T0_33	AA8
DDR3_A3	IO_L2N_T0_33	AB8
DDR3_A4	IO_L3P_T0_DQS_33	AB9
DDR3_A5	IO_L3N_T0_DQS_33	AC9
DDR3_A6	IO_L6N_T0_VREF_33	AB13
DDR3_A7	IO_L4N_T0_33	Y10
DDR3_A8	IO_L5P_T0_33	AA11
DDR3_A9	IO_L5N_T0_33	AA10
DDR3_A10	IO_L6P_T0_33	AA13
DDR3_A11	IO_L8P_T1_33	AD8
DDR3_A12	IO_L7P_T1_33	AB10
DDR3_A13	IO_L7N_T1_33	AC10
DDR3_A14	IO_L15P_T2_DQS_33	AJ9
DDR3_BA0	IO_L8N_T1_33	AE8
DDR3_BA1	IO_L9P_T1_DQS_33	AC12
DDR3_BA2	IO_L9N_T1_DQS_33	AC11
DDR3_WE	IO_L10P_T1_33	AD9
DDR3_RAS	IO_L10N_T1_33	AE9
DDR3_CAS	IO_L11P_T1_SRCC_33	AE11
DDR3_S0	IO_L11N_T1_SRCC_33	AF11
DDR3_CKE0	IO_L12P_T1_MRCC_33	AD12
DDR3_ODT	IO_L12N_T1_MRCC_33	AD11
DDR3_CLK0_P	IO_L13P_T2_MRCC_33	AG10
DDR3_CLK0_N	IO_L13N_T2_MRCC_33	AH10
DDR3_RESET	IO_L4P_T0_33	Y11

#### (四) QSPI Flash

核心板配有一片 128MBit 大小的 Quad-SPI FLASH 芯片，型号为 N25Q128A，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以存储 FPGA 的

配置 Bin 文件以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U14	N25Q128A	128Mbit	Numonyx

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK0 和 BANK14 的专用管脚上，其中时钟管脚连接到 BANK0 的 CCLK0 上，其它数据和片选信号分别连接到 BANK14 的 D00~D03 和 FCS 管脚上。图 2-4-1 为 QSPI Flash 和 FPGA 芯片的连接示意图。

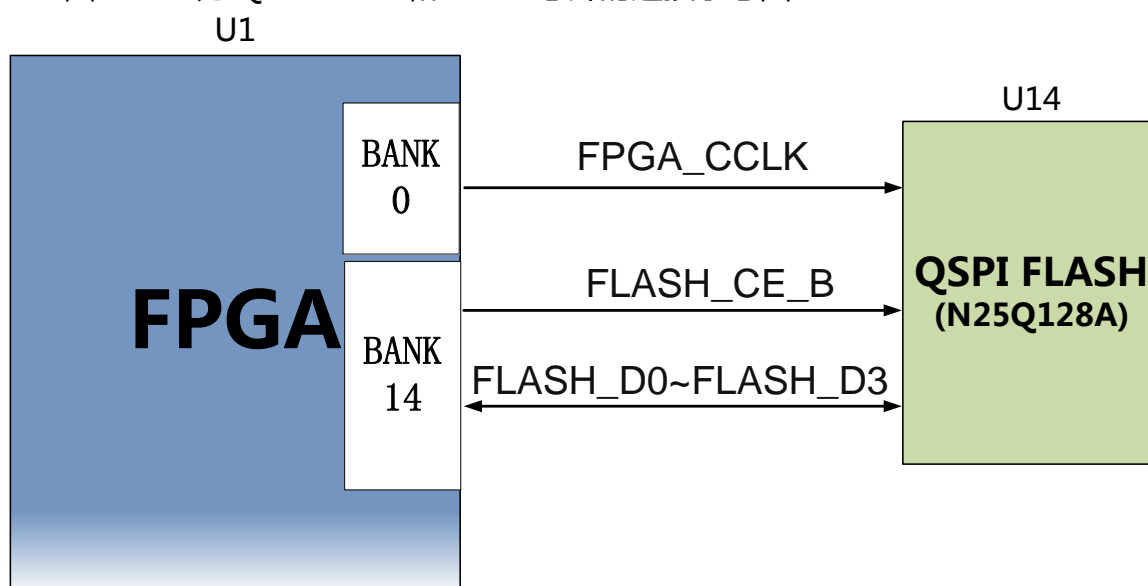


图 5-1 QSPI Flash 连接示意图

配置芯片引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号
FPGA_CCLK	CCLK_0	B10
FLASH_CE_B	IO_L6P_T0_FCS_B_14	U19
FLASH_D0	IO_L1P_T0_D00_MOSI_14	P24
FLASH_D1	IO_L1N_T0_D01_DIN_14	R25
FLASH_D2	IO_L2P_T0_D02_14	R20
FLASH_D3	IO_L2N_T0_D03_14	R21

## (五) 时钟配置

核心板上为 FPGA 系统提供了 200MHz 和 125MHz 的差分有源时钟。分别为 FPGA 逻辑部分和高速收发器 GTX 部分提供差分时钟源。时钟电路设计的示意图如下图 2-5-1 所示：

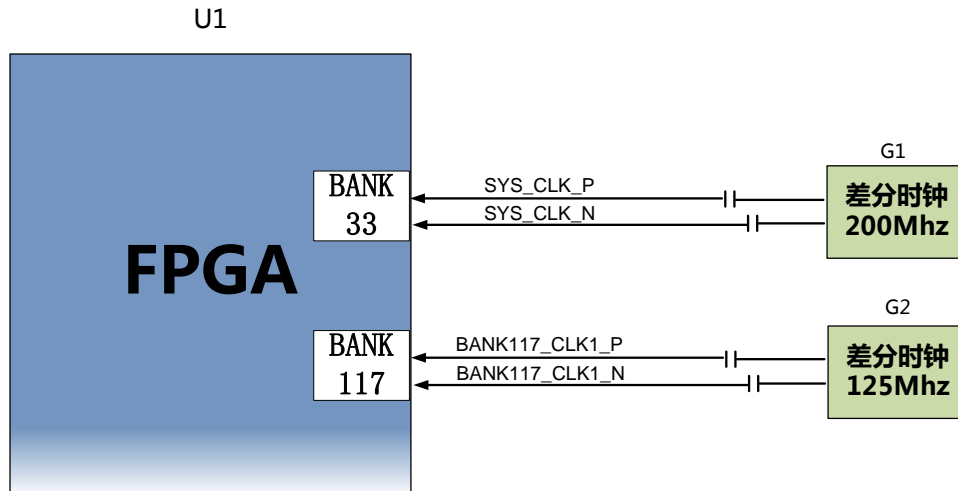


图 2-5-1 核心板时钟源

### FPGA 系统时钟源

板上提供了一个差分 200MHz 的 FPGA 系统时钟源，用于 DDR3 控制器的参考时钟。晶振输出连接到 FPGA BANK33 的全局时钟(MRCC)，这个全局时钟可以用来驱动 FPGA 内的 DDR3 控制器和用户逻辑电路。该时钟源的原理图如图 2-5-2 所示

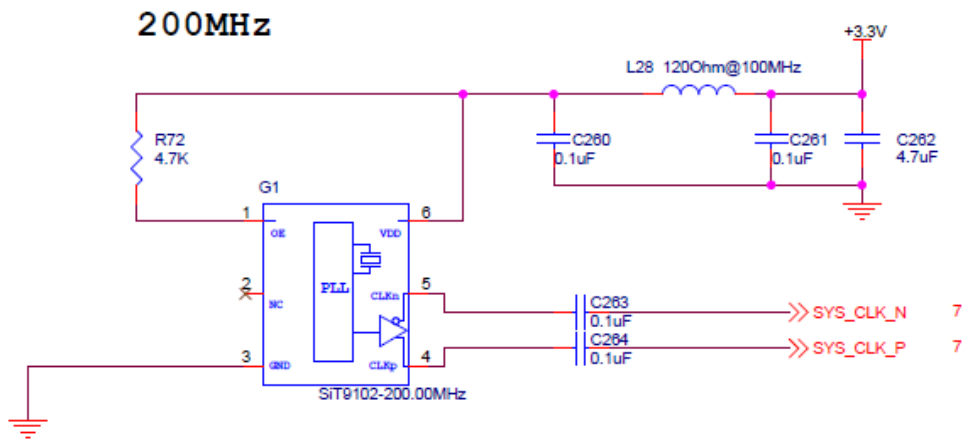


图 2-5-2 系统时钟源

时钟引脚分配：

信号名称	FPGA 引脚
SYS_CLK_P	AE10

SYS_CLK_N	AF10
-----------	------

### GTX 参考时钟

核心板上为 GTX 收发器提供了 125Mhz 的参考时钟。参考时钟连接到 BANK117 的参考时钟输入 REFCLK1P/REFCLK1N。该时钟源的原理图如图 2-5-3 所示

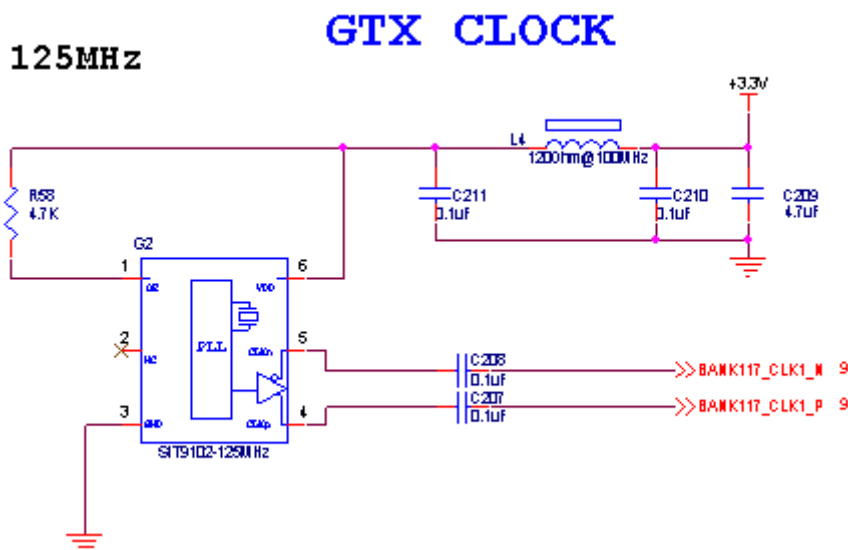


图 2-5-3 GTX 时钟源

### GTX 时钟源 FPGA 引脚分配：

信号名称	FPGA 引脚
BANK117_CLK1_P	J8
BANK117_CLK1_N	J7

## (六) LED 灯

AC7K325B 核心板上有 2 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯(DONE)。电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。LED 灯硬件连接的示意图如图 2-6-1 所示：



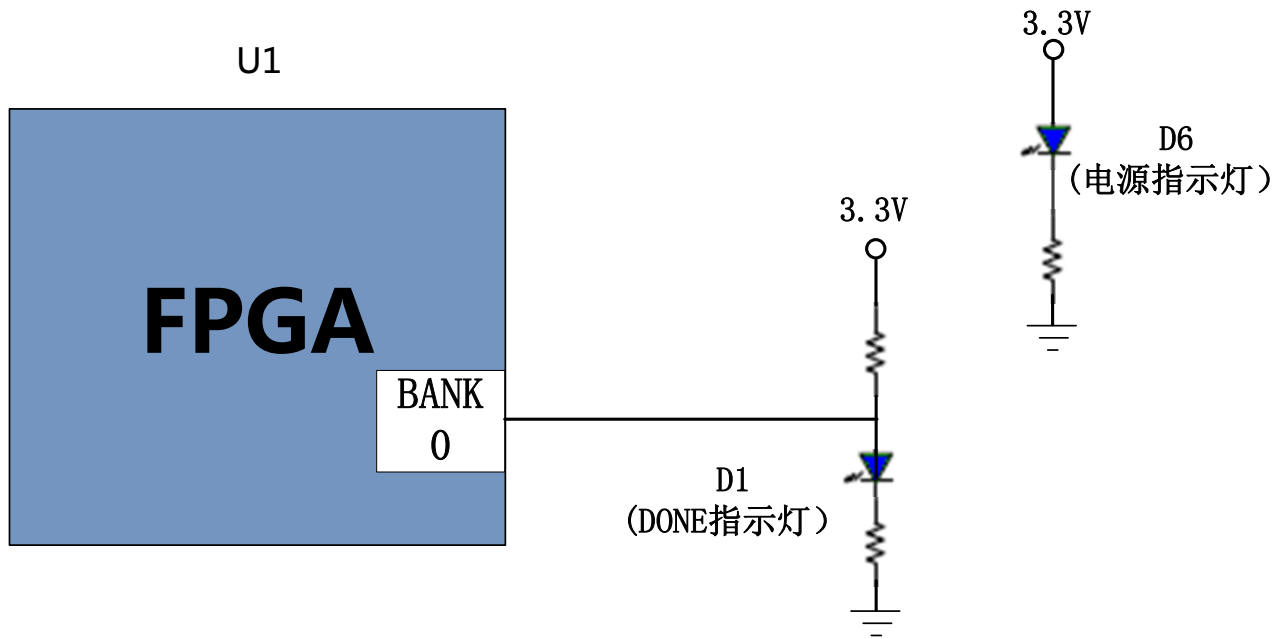


图 2-6-1 核心板 LED 灯硬件连接示意图

## (七) 电源

AC7K325B 核心板供电电压为 DC5V，通过连接底板供电。板上的电源设计示意图如下图 2-7-1 所示：

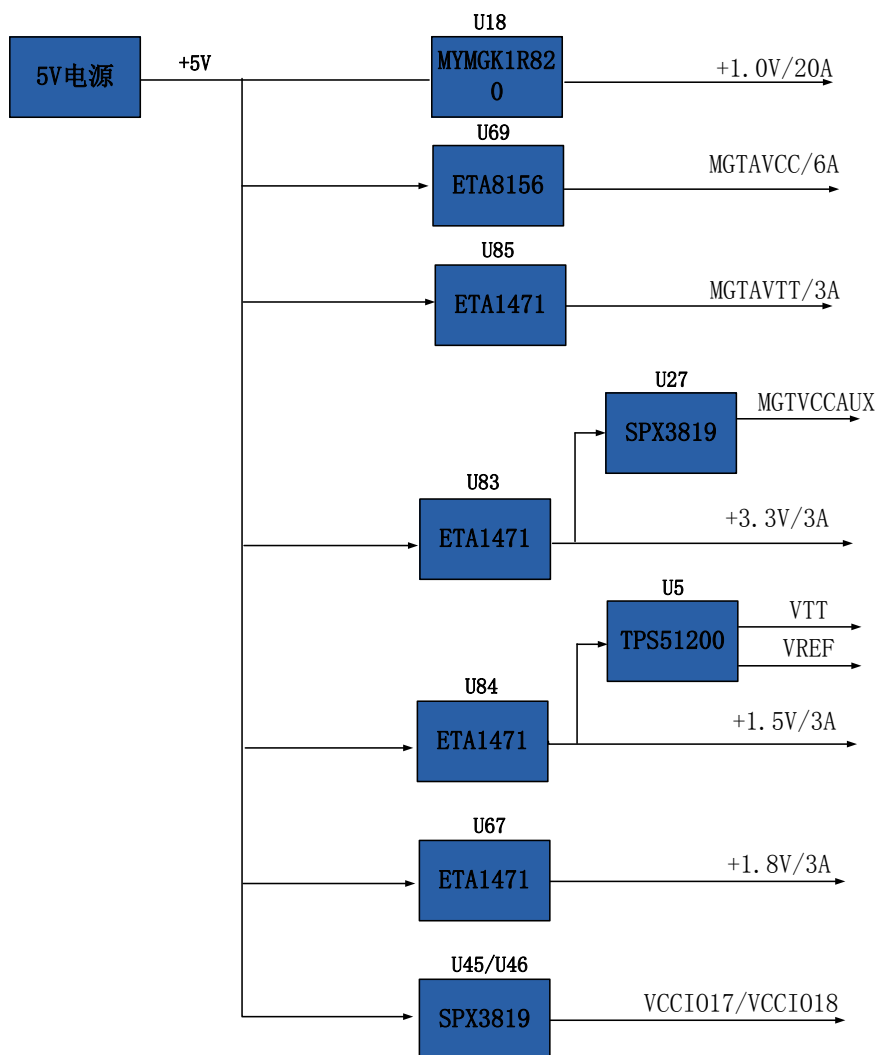
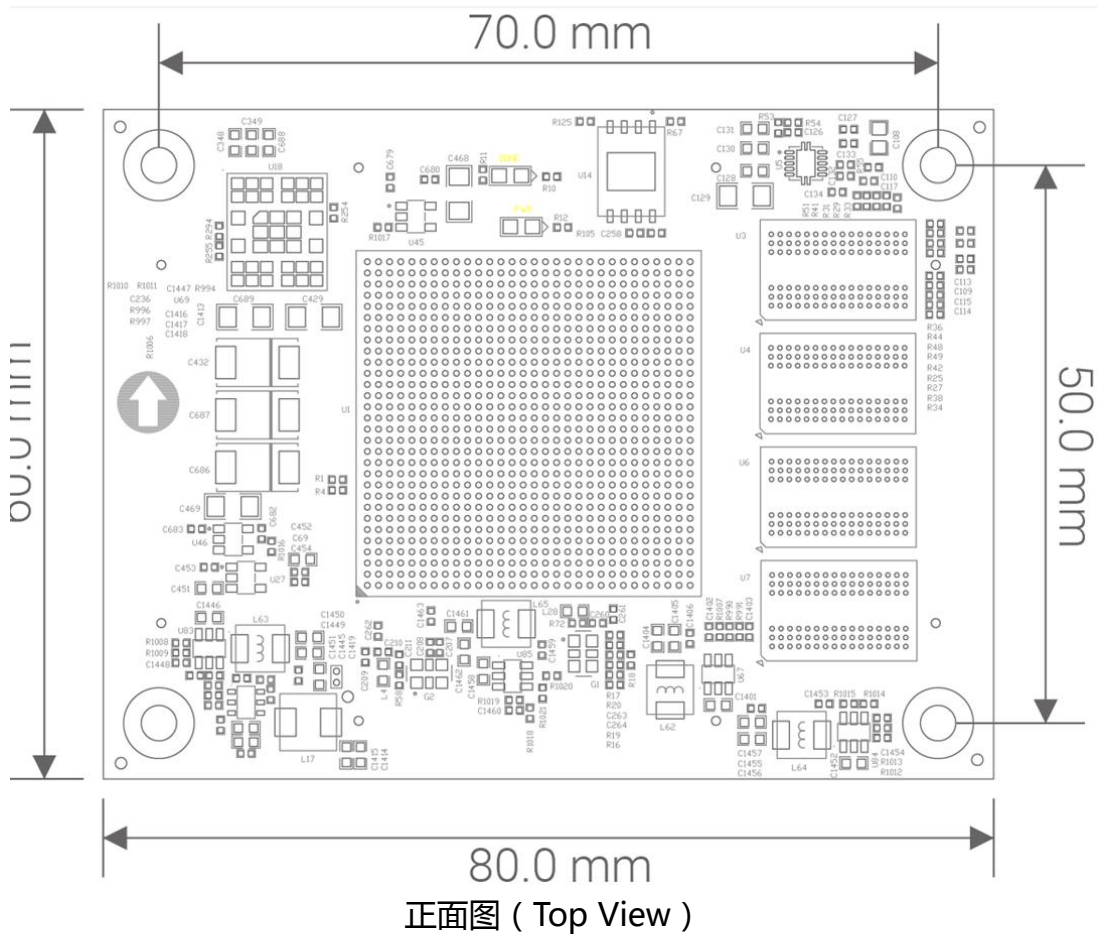


图 2-7-1 原理图中电源接口部分

+5V 通过 DCDC 电源芯片 MYMGK1R820FRSR 产生+1.0V 的 FPGA 核心电源，输出电流高达 20A，远远满足核心电压的电流需求。+5V 电源再通过 DCDC 芯片 ETA1471 来产生 +1.5V，+3.3V，+1.8V,+1.5V, MGTAVTT 五路电源。GTX 收发器使用的+1.0V 由 DCDC 芯片 ETA8156 产生 另外通过一个 LDO 芯片 SPX3819-1-8 产生 GTX 的辅助电源+1.8V。DDR3 的 VTT 和 VREF 电压由 TPS51200 来产生。另外通过 2 路 SPX3819M5-3-3 产生 BANK17 和 BANK18 的 IO 电源，用户可以通过更换 LDO 芯片，使得这两个 BANK 的 IO 输入输出为其它的电压标准。

因为 FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照芯片的电源要求设计，上电依次为+1.0V->+1.8V-> (+1.5 V、+3.3V、VCCIO17，VCCIO18) 的电路设计，保证芯片的正常工作。

## (八) 结构图



## (九) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 120Pin 的板间连接器 ( J29~J32 ) 和底板连接，连接器使用松下的 AXK5A2137YG，对应底板的连接器型号为 AXK6A2337YG。其中 J29 连接 GTX 的收发器信号，J30 连接 JTAG 和 BANK17,BANK18 的 IO, J31 连接 BANK15，BANK15 的 IO，J32 连接 BANK12 和 BANK13 的 IO 和 +5V 电源。

### J29 连接器的引脚分配

J29 管脚	信号名称	FPGA 引脚号	J29 管脚	信号名称	FPGA 引脚号
1	BANK115_TX0_N	Y1	2	BANK115_RX0_N	AA3
3	BANK115_TX0_P	Y2	4	BANK115_RX0_P	AA4
5	GND	-	6	GND	-
7	BANK115_TX1_N	V1	8	BANK115_RX1_N	Y5

9	BANK115_TX1_P	V2	10	BANK115_RX1_P	Y6
11	GND	-	12	GND	-
13	BANK115_TX2_N	U3	14	BANK115_RX2_N	W3
15	BANK115_TX2_P	U4	16	BANK115_RX2_P	W4
17	GND	-	18	GND	-
19	BANK115_TX3_N	T1	20	BANK115_RX3_N	V5
21	BANK115_TX3_P	T2	22	BANK115_RX3_P	V6
23	GND	-	24	GND	-
25	BANK115_CLK0_N	R7	26	BANK115_CLK1_N	U7
27	BANK115_CLK0_P	R8	28	BANK115_CLK1_P	U8
29	GND	-	30	GND	-
31	BANK116_TX0_N	P1	32	BANK116_RX0_N	T5
33	BANK116_TX0_P	P2	34	BANK116_RX0_P	T6
35	GND	-	36	GND	-
37	BANK116_TX1_N	N3	38	BANK116_RX1_N	R3
39	BANK116_TX1_P	N4	40	BANK116_RX1_P	R4
41	GND	-	42	GND	-
43	BANK116_TX2_N	M1	44	BANK116_RX2_N	P5
45	BANK116_TX2_P	M2	46	BANK116_RX2_P	P6
47	GND	-	48	GND	-
49	BANK116_TX3_N	L3	50	BANK116_RX3_N	M5
51	BANK116_TX3_P	L4	52	BANK116_RX3_P	M6
53	GND	-	54	GND	-
55	BANK116_CLK0_N	L7	56	BANK116_CLK1_N	N7
57	BANK116_CLK0_P	L8	58	BANK116_CLK1_P	N8
59	GND	-	60	GND	-
61	BANK117_TX0_N	K1	62	BANK118_TX0_N	D1
63	BANK117_TX0_P	K2	64	BANK118_TX0_P	D2
65	GND	-	66	GND	-
67	BANK117_RX0_N	K5	68	BANK118_RX0_N	E3
69	BANK117_RX0_P	K6	70	BANK118_RX0_P	E4
71	GND	-	72	GND	-

73	BANK117_TX1_N	J3	74	BANK118_TX1_N	C3
75	BANK117_TX1_P	J4	76	BANK118_TX1_P	C4
77	GND	-	78	GND	-
79	BANK117_RX1_N	H5	80	BANK118_RX1_N	D5
81	BANK117_RX1_P	H6	82	BANK118_RX1_P	D6
83	GND	-	84	GND	-
85	BANK117_TX2_N	H1	86	BANK118_TX2_N	B1
87	BANK117_TX2_P	H2	88	BANK118_TX2_P	B2
89	GND	-	90	GND	-
91	BANK117_RX2_N	G3	92	BANK118_RX2_N	B5
93	BANK117_RX2_P	G4	94	BANK118_RX2_P	B6
95	GND	-	96	GND	-
97	BANK117_TX3_N	F1	98	BANK118_TX3_N	A3
99	BANK117_TX3_P	F2	100	BANK118_TX3_P	A4
101	GND	-	102	GND	-
103	BANK117_RX3_N	F5	104	BANK118_RX3_N	A7
105	BANK117_RX3_P	F6	106	BANK118_RX3_P	A8
107	GND	-	108	GND	-
109	BANK117_CLK0_N	G7	110	BANK118_CLK0_N	C7
111	BANK117_CLK0_P	G8	112	BANK118_CLK0_P	C8
113	GND	-	114	GND	-
115			116	BANK118_CLK1_N	E7
117			118	BANK118_CLK1_P	E8
119	GND	-	120	GND	-

### J30 连接器的引脚分配

J30 管脚	信号名称	FPGA 引脚号	J30 管脚	信号名称	FPGA 引脚号
1	B18_L5_P	K14	2	B18_L3_P	L12
3	B18_L5_N	J14	4	B18_L3_N	L13
5	B18_L6_P	L11	6	B18_L2_P	L15
7	B18_L6_N	K11	8	B18_L2_N	K15

9	GND	-	10	GND	-
11	B18_L7_P	H15	12	B18_L1_P	L16
13	B18_L7_N	G15	14	B18_L1_N	K16
15	B18_L8_P	J11	16	B18_L4_P	K13
17	B18_L8_N	J12	18	B18_L4_N	J13
19	GND	-	20	GND	-
21	B18_L9_P	J16	22	B18_L12_P	G13
23	B18_L9_N	H16	24	B18_L12_N	F13
25	B18_L16_P	F11	26	B18_L10_P	H11
27	B18_L16_N	E11	28	B18_L10_N	H12
29	GND	-	30	GND	-
31	B18_L18_P	D11	32	B18_L20_P	E14
33	B18_L18_N	C11	34	B18_L20_N	E15
35	B18_L15_P	C12	36	B18_L11_P	H14
37	B18_L15_N	B12	38	B18_L11_N	G14
39	GND	-	40	GND	-
41	B18_L23_P	C15	42	B18_L21_P	D14
43	B18_L23_N	B15	44	B18_L21_N	C14
45	B18_L17_P	A11	46	B18_L22_P	B13
47	B18_L17_N	A12	48	B18_L22_N	A13
49	GND	-	50	GND	-
51	B18_L24_P	B14	52	B17_L5_N	L18
53	B18_L24_N	A15	54	B17_L5_P	L17
55	B18_L19_P	F15	56	B17_L15_P	D16
57	B18_L19_N	E16	58	B17_L15_N	C16
59	GND	-	60	GND	-
61	B17_L17_P	C17	62	B17_L14_P	E19
63	B17_L17_N	B17	64	B17_L14_N	D19
65	B17_L1_P	K18	66	B17_L20_P	A16
67	B17_L1_N	J18	68	B17_L20_N	A17
69	GND	-	70	GND	-
71	B17_L22_N	A18	72	B17_L21_P	A20

73	B17_L22_P	B18	74	B17_L21_N	A21
75	B17_L8_P	D21	76	B17_L13_P	D17
77	B17_L8_N	C21	78	B17_L13_N	D18
79	GND	-	80	GND	-
81	B17_L24_P	C19	82	B17_L23_N	A22
83	B17_L24_N	B19	84	B17_L23_P	B22
85	B17_L18_N	F17	86	B17_L12_P	F20
87	B17_L18_P	G17	88	B17_L12_N	E20
89	GND	-	90	GND	-
91	B17_L19_N	B20	92	B17_L11_N	E21
93	B17_L19_P	C20	94	B17_L11_P	F21
95	B17_L10_N	C22	96	B17_L9_N	F22
97	B17_L10_P	D22	98	B17_L9_P	G22
99	GND	-	100	GND	-
101	B17_L16_N	F18	102	B17_L7_P	H21
103	B17_L16_P	G18	104	B17_L7_N	H22
105	B17_L2_N	G20	106	B17_L3_N	H17
107	B17_L2_P	H20	108	B17_L3_P	J17
109	GND	-	110	GND	-
111	B17_L4_N	H19	112	FPGA_TCK	E10
113	B17_L4_P	J19	114	FPGA_TMS	F10
115	B17_L6_P	K19	116	FPGA_TDO	G10
117	B17_L6_N	K20	118	FPGA_TDI	H10
119	GND	-	120	GND	-

### J31 连接器的引脚分配

J31 管脚	信号名称	FPGA 引脚号	J31 管脚	信号名称	FPGA 引脚号
1	B16_L12_N	B25	2	B16_L8_P	C24
3	B16_L12_P	C25	4	B16_L8_N	B24
5	B16_L10_N	A26	6	B16_L16_N	C30
7	B16_L10_P	A25	8	B16_L16_P	D29

9	GND	-	10	GND	-
11	B16_L11_N	C26	12	B16_L7_N	A27
13	B16_L11_P	D26	14	B16_L7_P	B27
15	B16_L13_N	C27	16	B16_L18_N	E30
17	B16_L13_P	D27	18	B16_L18_P	E29
19	GND	-	20	GND	-
21	B16_L21_P	G27	22	B16_L14_N	D28
23	B16_L21_N	F27	24	B16_L14_P	E28
25	B16_L20_N	F28	26	B16_L22_N	F30
27	B16_L20_P	G28	28	B16_L22_P	G29
29	GND	-	30	GND	-
31	B16_L9_P	B28	32	B16_L5_P	F26
33	B16_L9_N	A28	34	B16_L5_N	E26
35	B16_L15_P	C29	36	B16_L24_N	G30
37	B16_L15_N	B29	38	B16_L24_P	H30
39	GND	-	40	GND	-
41	B16_L19_N	H25	42	B16_L23_N	H27
43	B16_L19_P	H24	44	B16_L23_P	H26
45	B16_L1_N	A23	46	B16_L17_P	B30
47	B16_L1_P	B23	48	B16_L17_N	A30
49	GND	-	50	GND	-
51	B16_L2_P	E23	52	B16_L3_N	E25
53	B16_L2_N	D23	54	B16_L3_P	F25
55	B16_L6_N	G24	56	B16_L4_P	E24
57	B16_L6_P	G23	58	B16_L4_N	D24
59	GND	-	60	GND	-
61	B15_L14_N	L28	62	B15_L7_N	H29
63	B15_L14_P	M28	64	B15_L7_P	J29
65	B15_L10_N	J26	66	B15_L8_N	J28
67	B15_L10_P	K26	68	B15_L8_P	J27
69	GND	-	70	GND	-
71	B15_L1_N	J24	72	B15_L24_N	M23



73	B15_L1_P	J23	74	B15_L24_P	M22
75	B15_L18_N	N26	76	B15_L3_N	K24
77	B15_L18_P	N25	78	B15_L3_P	K23
79	GND	-	80	GND	-
81	B15_L2_N	L23	82	B15_L21_N	N24
83	B15_L2_P	L22	84	B15_L21_P	P23
85	B15_L13_P	K28	86	B15_L12_N	K25
87	B15_L13_N	K29	88	B15_L12_P	L25
89	GND	-	90	GND	-
91	B15_L22_N	P22	92	B15_L20_N	N22
93	B15_L22_P	P21	94	B15_L20_P	N21
95	B15_L15_N	M30	96	B15_L9_N	K30
97	B15_L15_P	M29	98	B15_L9_P	L30
99	GND	-	100	GND	-
101	B15_L19_N	N20	102	B15_L5_N	J22
103	B15_L19_P	N19	104	B15_L5_P	J21
105	B15_L17_N	N30	106	B15_L6_N	L20
107	B15_L17_P	N29	108	B15_L6_P	M20
109	GND	-	110	GND	-
111	B15_L11_N	L27	112	B15_L16_N	M27
113	B15_L11_P	L26	114	B15_L16_P	N27
115	B15_L23_N	M25	116	B15_L4_P	L21
117	B15_L23_P	M24	118	B15_L4_N	K21
119	GND	-	120	GND	-

### J32 连接器的引脚分配

J32 管脚	信号名称	FPGA 引脚号	J32 管脚	信号名称	FPGA 引脚号
1	B13_L16_P	AE30	2	B13_L10_N	AB30
3	B13_L16_N	AF30	4	B13_L10_P	AB29
5	B13_L23_N	AF27	6	B13_L9_P	AD29
7	B13_L23_P	AF26	8	B13_L9_N	AE29

9	GND	U14	10	GND	U14
11	B13_L14_P	AE28	12	B13_L6_P	AA25
13	B13_L14_N	AF28	14	B13_L6_N	AB25
15	B13_L13_P	AG29	16	B13_L5_N	AB28
17	B13_L13_N	AH29	18	B13_L5_P	AA27
19	GND	U14	20	GND	U14
21	B13_L18_P	AG30	22	B13_L2_N	W28
23	B13_L18_N	AH30	24	B13_L2_P	W27
25	B13_L21_N	AG28	26	B13_L8_P	Y30
27	B13_L21_P	AG27	28	B13_L8_N	AA30
29	GND	U14	30	GND	U14
31	B13_L15_N	AK30	32	B13_L11_N	AD28
33	B13_L15_P	AK29	34	B13_L11_P	AD27
35	B13_L17_N	AJ29	36	B13_L7_N	AC30
37	B13_L17_P	AJ28	38	B13_L7_P	AC29
39	GND	U14	40	GND	U14
41	B13_L20_N	AK28	42	B13_L12_N	AC27
43	B13_L20_P	AJ27	44	B13_L12_P	AB27
45	B13_L22_N	AH27	46	B13_L1_P	Y26
47	B13_L22_P	AH26	48	B13_L1_N	AA26
49	GND	U14	50	GND	U14
51	B13_L24_N	AK26	52	B13_L4_N	Y29
53	B13_L24_P	AJ26	54	B13_L4_P	W29
55	B13_L19_N	AD26	56	B13_L3_N	AA28
57	B13_L19_P	AC26	58	B13_L3_P	Y28
59	GND	U14	60	GND	U14
61	B12_L12_P	AD23	62	B12_L9_N	AD24
63	B12_L12_N	AE24	64	B12_L9_P	AC24
65	B12_L16_P	AE25	66	B12_L8_N	AD22
67	B12_L16_N	AF25	68	B12_L8_P	AC22
69	GND	U14	70	GND	U14
71	B12_L13_P	AF22	72	B12_L7_N	AC25

73	B12_L13_N	AG23	74	B12_L7_P	AB24
75	B12_L18_P	AG25	76	B12_L4_N	AA23
77	B12_L18_N	AH25	78	B12_L4_P	AA22
79	GND	U14	80	GND	U14
81	B12_L15_N	AK25	82	B12_L1_P	Y23
83	B12_L15_P	AJ24	84	B12_L1_N	Y24
85	B12_L17_N	AK24	86	B12_L2_P	Y21
87	B12_L17_P	AK23	88	B12_L2_N	AA21
89	GND	U14	90	GND	U14
91	B12_L14_N	AH24	92	B12_L6_P	AA20
93	B12_L14_P	AG24	94	B12_L6_N	AB20
95	B12_L20_N	AH22	96	B12_L10_N	AE21
97	B12_L20_P	AG22	98	B12_L10_P	AD21
99	GND	U14	100	GND	U14
101	B12_L19_N	AF21	102	B12_L3_P	AB22
103	B12_L19_P	AF20	104	B12_L3_N	AB23
105	B12_L11_N	AF23	106	B12_L5_P	AC20
107	B12_L11_P	AE23	108	B12_L5_N	AC21
109	GND	-	110	GND	-
111	+5V	-	112	+5V	-
113	+5V	-	114	+5V	-
115	+5V	-	116	+5V	-
117	+5V	-	118	+5V	-
119	+5V	-	120	+5V	-

## 三、 扩展板

### (一)简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 4 路光纤接口
- 1 路 PCIe8 接口
- 2 路支持 3G 的 SDI 视频输出接口
- 2 路支持 3G 的 SDI 视频输入接口
- 1 路 USB Uart 通信接口
- 1 路 SD 卡接口
- 2 路 40 针扩展口
- JTAG 调试接口
- 4 个独立按键
- 4 个用户 LED 灯

## (一) 光纤接口

AV7K300 扩展板上有 4 路光纤接口，用户可以购买 SFP 光模块(市场上 1.25G，2.5G，10G 光模块) 插入到这 4 个光纤接口中进行光纤数据通信。4 路光纤接口分别跟 FPGA 的 BANK117 的 GTX 收发器的 4 路 RX/TX 相连接，每路 TX 发送和 RX 接收数据速率高达 10Gb/s。BANK117 的 GTX 收发器的参考时钟由核心板的 125M 差分时钟提供。

FPGA 和光纤设计示意图如下图 3-1-1 所示:

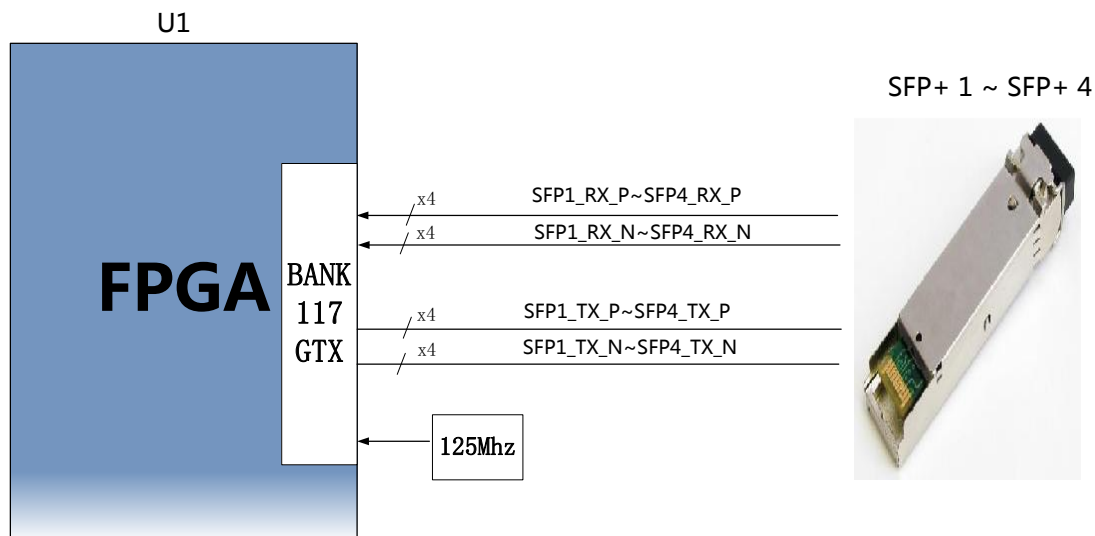


图 3-1-1 光纤设计示意图

4 路光纤接口 FPGA 引脚分配如下：

信号名称	FPGA 引脚名	引脚号	备注
SFP1_TX_P	BANK117_TX0_P	K2	光模块 1 数据发送正
SFP1_TX_N	BANK117_TX0_N	K1	光模块 1 数据发送负
SFP1_RX_P	BANK117_RX0_P	K6	光模块 1 数据接收正
SFP1_RX_N	BANK117_RX0_N	K5	光模块 1 数据接收负
SFP2_TX_P	BANK117_TX1_P	J4	光模块 2 数据发送正
SFP2_TX_N	BANK117_TX1_N	J3	光模块 2 数据发送负
SFP2_RX_P	BANK117_RX1_P	H6	光模块 2 数据接收正
SFP2_RX_N	BANK117_RX1_N	H5	光模块 2 数据接收负
SFP3_TX_P	BANK117_TX2_P	H2	光模块 3 数据发送正
SFP3_TX_N	BANK117_TX2_N	H1	光模块 3 数据发送负
SFP3_RX_P	BANK117_RX2_P	G4	光模块 3 数据接收正
SFP3_RX_N	BANK117_RX2_N	G3	光模块 3 数据接收负

SFP4_TX_P	BANK117_TX3_P	F2	光模块 4 数据发送正
SFP4_TX_N	BANK117_TX3_N	F1	光模块 4 数据发送负
SFP4_RX_P	BANK117_RX3_P	F6	光模块 4 数据接收正
SFP4_RX_N	BANK117_RX3_N	F5	光模块 4 数据接收负
BANK117_CLK1_P	BANK117_CLK1_P	J8	收发器参考时钟正
BANK117_CLK1_N	BANK117_CLK1_N	J7	收发器参考时钟负

## (二) PCIe 插槽

AV7K300 扩展板上有一个 PCIe x8 的接口，8 对收发器连接到 PCIe x8 的金手指上，能实现 PCIe x8, PCIe x4, PCIe x2, PCIe x1 的数据通信。

PCIe 接口的收发信号直接跟 FPGA BANK115, BANK116 的 GTX 收发器相连接，8 路 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA 的收发器上，单通道通信速率可高达 5G bit 带宽。

开发板的 PCIe 接口的设计示意图如下图 3-2-1 所示，其中 TX 发送信号用 AC 耦合模式连接。

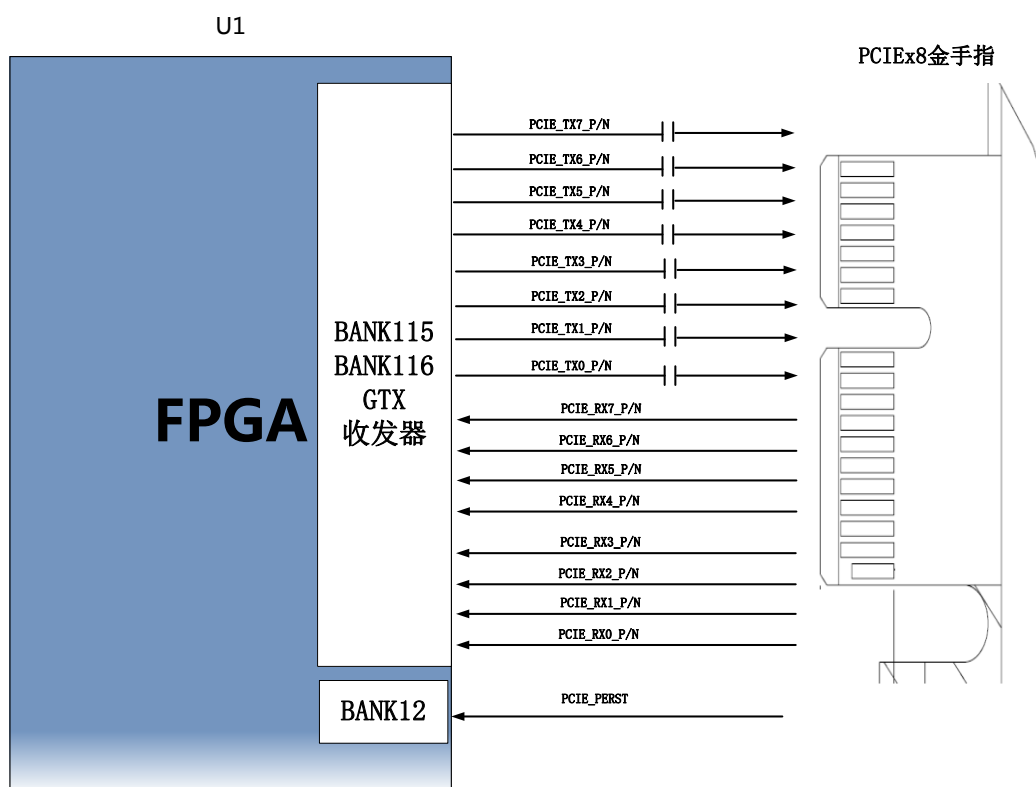


图 3-2-1 PCIe 插槽设计示意图

PCIe x8 接口 FPGA 引脚分配如下：

信号名称	FPGA 引脚名	引脚号	备注
PCIE_RX0_P	BANK116_RX3_P	M6	PCIE 通道 0 数据接收正
PCIE_RX0_N	BANK116_RX3_N	M5	PCIE 通道 0 数据接收负
PCIE_RX1_P	BANK116_RX2_P	P6	PCIE 通道 1 数据接收正
PCIE_RX1_N	BANK116_RX2_N	P5	PCIE 通道 1 数据接收负
PCIE_RX2_P	BANK116_RX1_P	R4	PCIE 通道 2 数据接收正
PCIE_RX2_N	BANK116_RX1_N	R3	PCIE 通道 2 数据接收负
PCIE_RX3_P	BANK116_RX0_P	T6	PCIE 通道 3 数据接收正
PCIE_RX3_N	BANK116_RX0_N	T5	PCIE 通道 3 数据接收负
PCIE_RX4_P	BANK115_RX3_P	V6	PCIE 通道 4 数据接收正
PCIE_RX4_N	BANK115_RX3_N	V5	PCIE 通道 4 数据接收负
PCIE_RX5_P	BANK115_RX2_P	W4	PCIE 通道 5 数据接收正
PCIE_RX5_N	BANK115_RX2_N	W3	PCIE 通道 5 数据接收负
PCIE_RX6_P	BANK115_RX1_P	Y6	PCIE 通道 6 数据接收正
PCIE_RX6_N	BANK115_RX1_N	Y5	PCIE 通道 6 数据接收负
PCIE_RX7_P	BANK115_RX0_P	AA4	PCIE 通道 7 数据接收正
PCIE_RX7_N	BANK115_RX0_N	AA3	PCIE 通道 7 数据接收负
PCIE_TX0_P	BANK116_TX3_P	L4	PCIE 通道 0 数据发送正
PCIE_TX0_N	BANK116_TX3_N	L3	PCIE 通道 0 数据发送负
PCIE_TX1_P	BANK116_TX2_P	M2	PCIE 通道 1 数据发送正
PCIE_TX1_N	BANK116_TX2_N	M1	PCIE 通道 1 数据发送负
PCIE_TX2_P	BANK116_TX1_P	N4	PCIE 通道 2 数据发送正
PCIE_TX2_N	BANK116_TX1_N	N3	PCIE 通道 2 数据发送负
PCIE_TX3_P	BANK116_TX0_P	P2	PCIE 通道 3 数据发送正
PCIE_TX3_N	BANK116_TX0_N	P1	PCIE 通道 3 数据发送负
PCIE_TX4_P	BANK115_TX3_P	T2	PCIE 通道 4 数据发送正
PCIE_TX4_N	BANK115_TX3_N	T1	PCIE 通道 4 数据发送负
PCIE_TX5_P	BANK115_TX2_P	U4	PCIE 通道 5 数据发送正
PCIE_TX5_N	BANK115_TX2_N	U3	PCIE 通道 5 数据发送负
PCIE_TX6_P	BANK115_TX1_P	V2	PCIE 通道 6 数据发送正
PCIE_TX6_N	BANK115_TX1_N	V1	PCIE 通道 6 数据发送负
PCIE_TX7_P	BANK115_TX0_P	Y2	PCIE 通道 7 数据发送正

PCIE_TX7_N	BANK115_TX0_N	Y1	PCIE 通道 7 数据发送负
PCIE_CLK_P	BANK115_CLK0_P	R8	PCIE 通道参考时钟正
PCIE_CLK_N	BANK115_CLK0_N	R7	PCIE 通道参考时钟负
PCIE_PERST	B12_L16_N	AF25	PCIE 板卡的复位信号

### (三) SDI 输出接口

底板上有 2 路 SDI 输出接口，HDMI 芯片是选用 SEMTECH 公司的 GV8500 SDI 驱动器芯片，支持不同格式的数据输出 HDcctv 1.0, HD-SDI(ST 292), 3G\_SDI(ST-424)和 SD\_SDI ( ST259 )。

其中 GV8500 芯片的 SDI 输入信号是直接跟 FPGA BANK118 的 GTX 收发器 TX 相连接，来实现高速的 SDI 视频输出。GV8500 芯片和 FPGA 的硬件连接示意图如下图 3-3-1 所示：

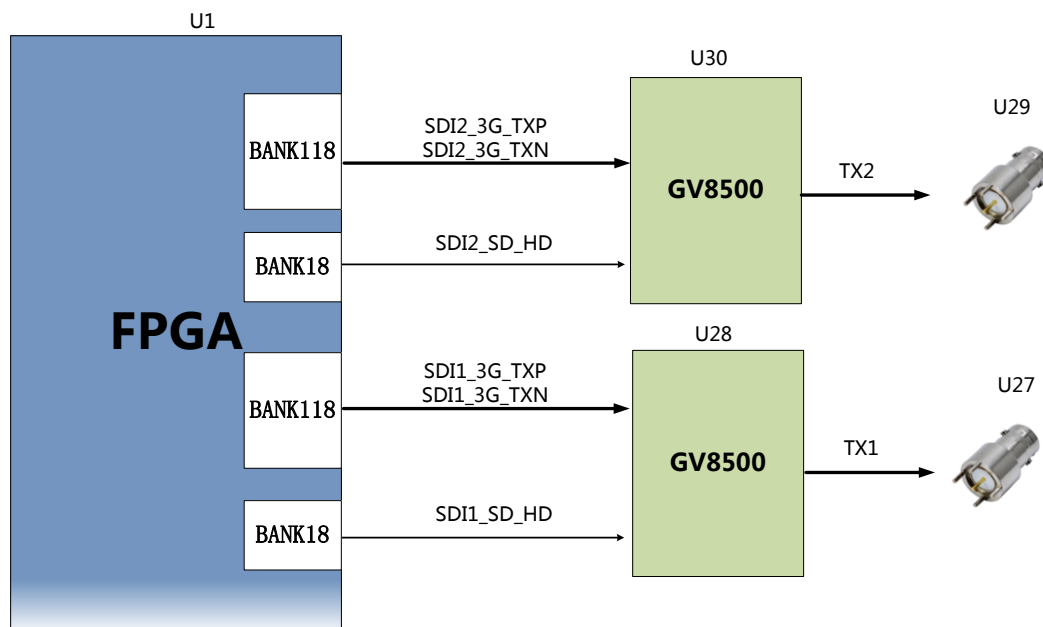


图 3-3-1 SDI 输出接口设计原理图

#### 第一路 SDI 输出的引脚分配：

信号名称	FPGA 引脚名	引脚号	备注
SDI1_3G_TXN	BANK118_TX0_N	D1	SDI 输出差分信号负
SDI1_3G_TXP	BANK118_TX0_P	D2	SDI 输出差分信号正
SDI1_SD_HD	B18_L3_N	L13	SDI 转换速率控制

#### 第二路 SDI 输出的引脚分配：



信号名称	FPGA 引脚名	引脚号	备注
SDI2_3G_TXN	BANK118_TX1_N	C3	SDI 输出差分信号负
SDI2_3G_TXP	BANK118_TX1_P	C4	SDI 输出差分信号正
SDI2_SD_HD	B18_L3_P	L12	SDI 转换速率控制

#### (四) SDI 输入接口

底板上有 2 路 SDI 输入接口, 我们选用了 SEMTECH 公司的 GV8601 SDI 均衡器芯片, 支持不同格式的数据输入 HDcctv 1.0, HD-SDI(ST 292), 3G\_SDI(ST-424)和 SD\_SDI (ST259)。输入接口自适应三种速率的视频接收。

其中 GV8601 芯片的 SDI 输出信号是直接跟 FPGA BANK118 的 GTX 收发器 RX 相连接, 来实现高速的 SDI 视频输入。GV8601 芯片和 FPGA 的硬件连接示意图如下图 3-4-1 所示。

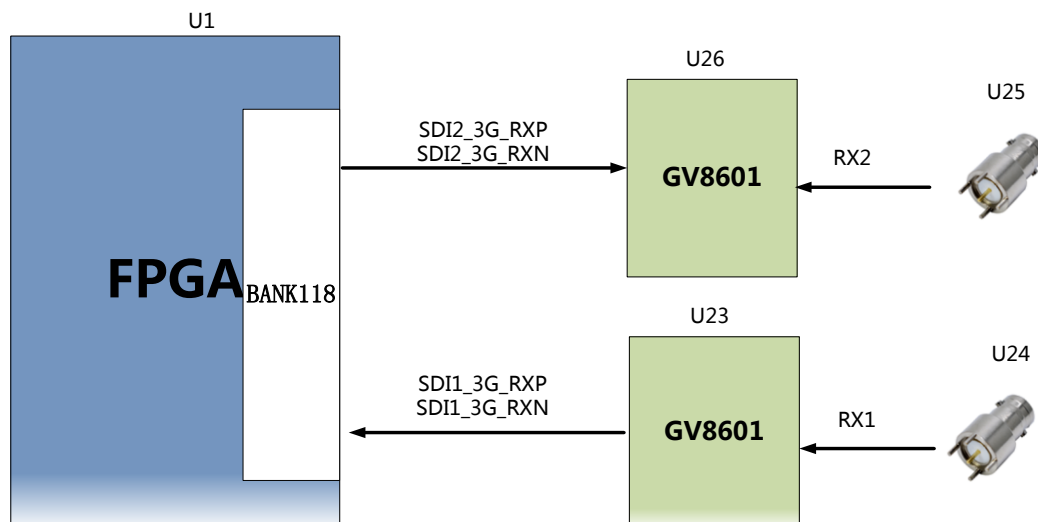


图 3-4-1 SDI 输入原理图

##### 第一路 SDI 输入的引脚分配：

信号名称	FPGA 引脚名	引脚号	备注
SDI1_3G_RXN	BANK118_RX0_N	E3	SDI 输入差分信号负
SDI1_3G_RXP	BANK118_RX0_P	E4	SDI 输入差分信号正

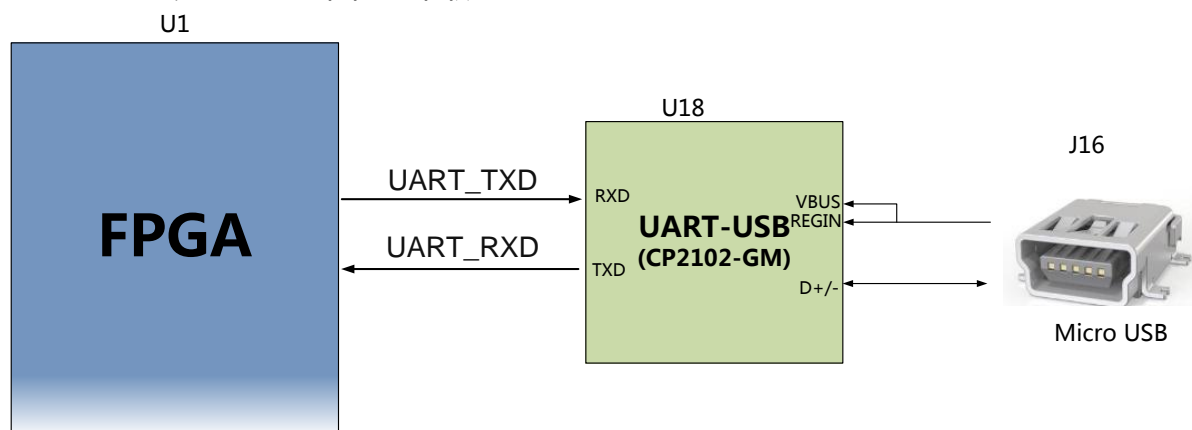
##### 第二路 SDI 输入的引脚分配：

信号名称	FPGA 引脚名	引脚号	备注
SDI2_3G_RXN	BANK118_RX1_N	D5	SDI 输入差分信号负
SDI2_3G_RXP	BANK118_RX1_P	D6	SDI 输入差分信号正

## (五) USB 转串口

AV7K300 扩展板上配备了一个 Uart 转 USB 接口，用于系统调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图所示：



3-6-1 USB 转串口示意图

USB 转串口的 FPGA 引脚分配：

信号名称	FPGA 引脚名	引脚号	备注
UART_RXD	B13_L5_P	AA27	Uart数据输入
UART_TXD	B13_L2_N	W28	Uart数据输出

## (六) SD 卡槽

AV7K300 底板包含了一个 Micro 型的 SD 卡接口，以提供用户访问 SD 卡存储器，用于用户数据文件。SDIO 信号与 FPGA 的 IO 信号相连，支持 SPI 模式和 SD 模式，使用的 SD 卡为 MicroSD 卡。FPGA 和 SD 卡连接器的原理图如下图 3-7-1 所示。

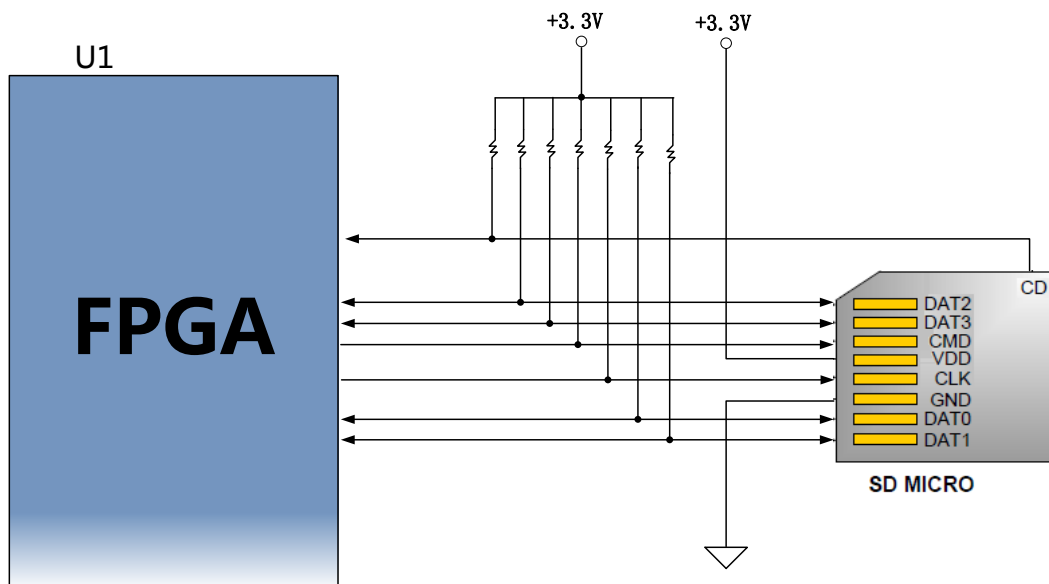


图 3-7-1 SD 卡槽原理图

### SD 卡槽引脚分配

信号名称	FPGA 引脚名	引脚号	备注
SD_CLK	B13_L6_P	AA25	SD 时钟信号
SD_CMD	B13_L5_N	AB28	SD 命令信号
SD_D0	B13_L10_P	AB29	SD 数据 Data0
SD_D1	B13_L9_P	AD29	SD 数据 Data1
SD_D2	B13_L9_N	AE29	SD 数据 Data2
SD_D3	B13_L6_N	AB25	SD 数据 Data3

## (七) 40 针扩展口

底板预留了 2 个 2.54mm 标准间距的 40 针的扩展口 J18, J33, 用于连接黑金的各个模块或者用户自己设计的外面电路, 扩展口有 40 个信号, 其中, 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。扩展口的 IO 连接的 FPGA 的 IO 上, 默认为 3.3V。

J18 扩展口 FPGA 的引脚分配如下：

J18 管脚	信号名称	引脚号	J18 管脚	信号名称	引脚号
1	GND	-	2	+5V	-
3	IO1_1N	M23	4	IO1_1P	M22
5	IO1_2N	K24	6	IO1_2P	K23

7	IO1_3N	N24	8	IO1_3P	P23
9	IO1_4N	K25	10	IO1_4P	L25
11	IO1_5N	N22	12	IO1_5P	N21
13	IO1_6N	K30	14	IO1_6P	L30
15	IO1_7N	J22	16	IO1_7P	J21
17	IO1_8N	L20	18	IO1_8P	M20
19	IO1_9N	M27	20	IO1_9P	N27
21	IO1_10N	K21	22	IO1_10P	L21
23	IO1_11N	K29	24	IO1_11P	K28
25	IO1_12N	P22	26	IO1_12P	P21
27	IO1_13N	M30	28	IO1_13P	M29
29	IO1_14N	N20	30	IO1_14P	N19
31	IO1_15N	N30	32	IO1_15P	N29
33	IO1_16N	L27	34	IO1_16P	L26
35	IO1_17N	M25	36	IO1_17P	M24
37	GND	-	38	GND	-
39	+3.3V	-	40	+3.3V	-

J33 扩展口 FPGA 的引脚分配如下：

J33 管脚	信号名称	引脚号	J33 管脚	信号名称	引脚号
1	GND	-	2	+5V	-
3	IO2_1N	A21	4	IO2_1P	A20
5	IO2_2N	D18	6	IO2_2P	D17
7	IO2_3N	A22	8	IO2_3P	B22
9	IO2_4N	E20	10	IO2_4P	F20
11	IO2_5N	E21	12	IO2_5P	F21
13	IO2_6N	F22	14	IO2_6P	G22
15	IO2_7N	H22	16	IO2_7P	H21
17	IO2_8N	H17	18	IO2_8P	J17
19	IO2_9N	K20	20	IO2_9P	K19
21	IO2_10N	H19	22	IO2_10P	J19
23	IO2_11N	G20	24	IO2_11P	H20

25	IO2_12N	F18	26	IO2_12P	G18
27	IO2_13N	C22	28	IO2_13P	D22
29	IO2_14N	B20	30	IO2_14P	C20
31	IO2_15N	F17	32	IO2_15P	G17
33	IO2_16N	B19	34	IO2_16P	C19
35	IO2_17N	C21	36	IO2_17P	D21
37	GND	-	38	GND	-
39	+3.3V	-	40	+3.3V	-

## (八) 按键和 LED 灯

AV7K300 底板上有 7 个发光二极管 LED, 1 个电源指示灯； 2 个串口通信指示灯， 4 个用户 LED 灯。当开发板上电后电源指示灯会亮起； 4 个 LED 灯连接到 FPGA 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为低时，用户 LED 灯点亮，当连接 IO 电压为高时，用户 LED 会被熄灭。另外板上还有 4 个用户按键，默认按键信号为高，当按键按下时，按键电平为低。用户 LED 灯和按键的硬件连接示意图如图 3-9-1 所示：

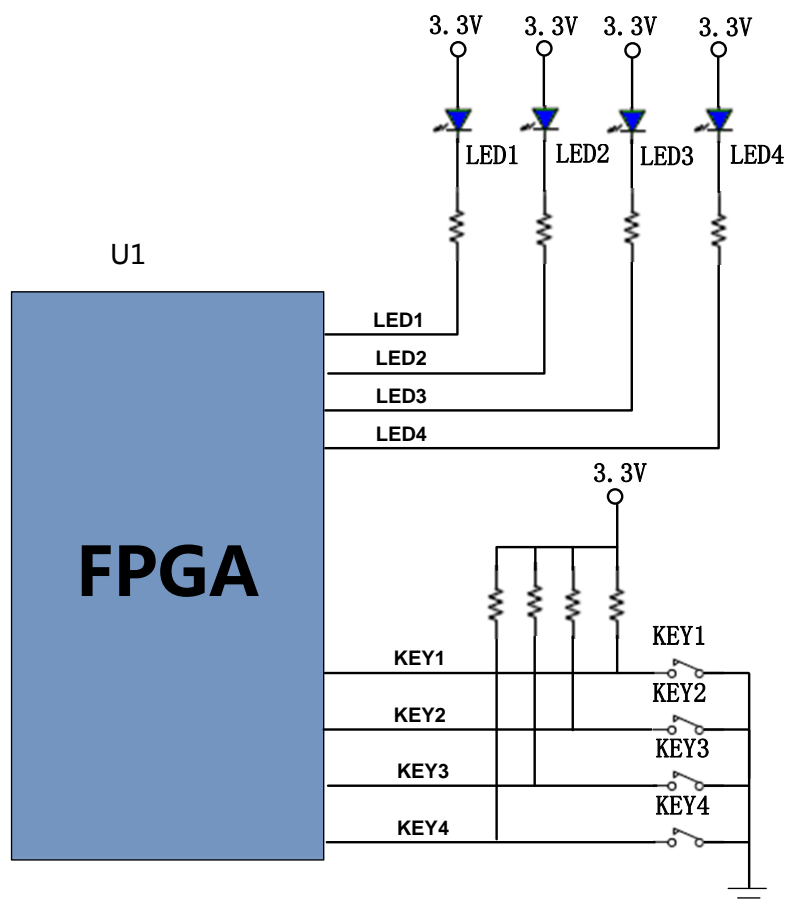


图 3-9-1 用户 LED 灯和按键硬件连接示意图

## 用户 LED 灯和按键的引脚分配

信号名称	FPGA 引脚名	管脚号	备注
LED1	B12_L19_P	AF20	用户LED1灯
LED2	B12_L11_P	AE23	用户LED2灯
LED3	B12_L3_N	AB23	用户LED3灯
LED4	B12_L5_N	AC21	用户LED4灯
KEY1	B12_L19_N	AF21	用户按键1
KEY2	B12_L11_N	AF23	用户按键2
KEY3	B12_L3_P	AB22	用户按键3
KEY4	B12_L5_P	AC20	用户按键4

## (九) JTAG 调试口

在 AV7K300 底板上预留了一个 10PIN 的 JTAG 接口,用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏,我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围,避免芯片的损坏。

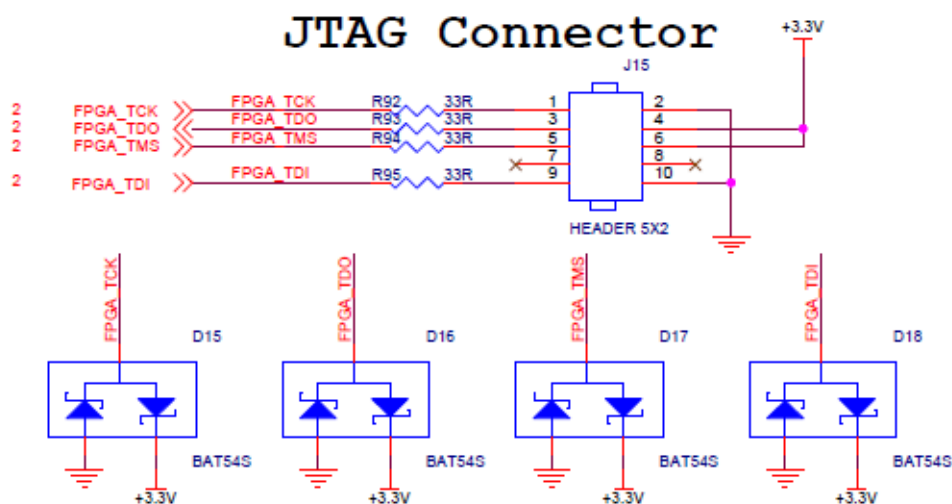


图3-10-1 原理图中JTAG接口部分

## (十) 电源

开发板的电源输入电压为 DC12V,可以通过 PCIE 插槽或者外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源,不要用其他规格电源,以免损坏开发板。底板上

通过 1 路 DC/DC 电源芯片 TPS54620 和 1 路 DC/DC 电源芯片 MP1482 转换成 +5V 和 +3.3V 两路电源。因为 +5V 电源通过板间连接器给核心板供电，所以 DCDC 电源的电流输出为 6A，其它 3.3V 电源电流输出为 2A。

板上的电源设计示意图如下图 3-11-1 所示：

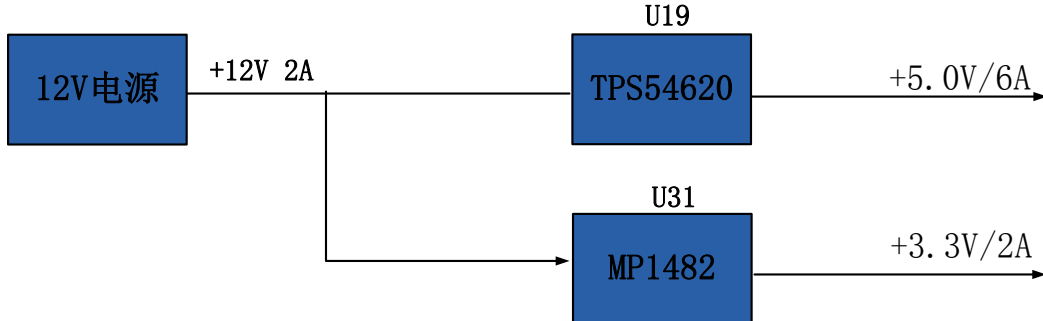


图 3-11-1 原理图中电源接口部分

各个电源分配的功能如下表所示：

电源	功能
+5.0V	核心板供电电源
+3.3V	SDI, SD, 光纤, PCIE

## (十一) 结构尺寸图

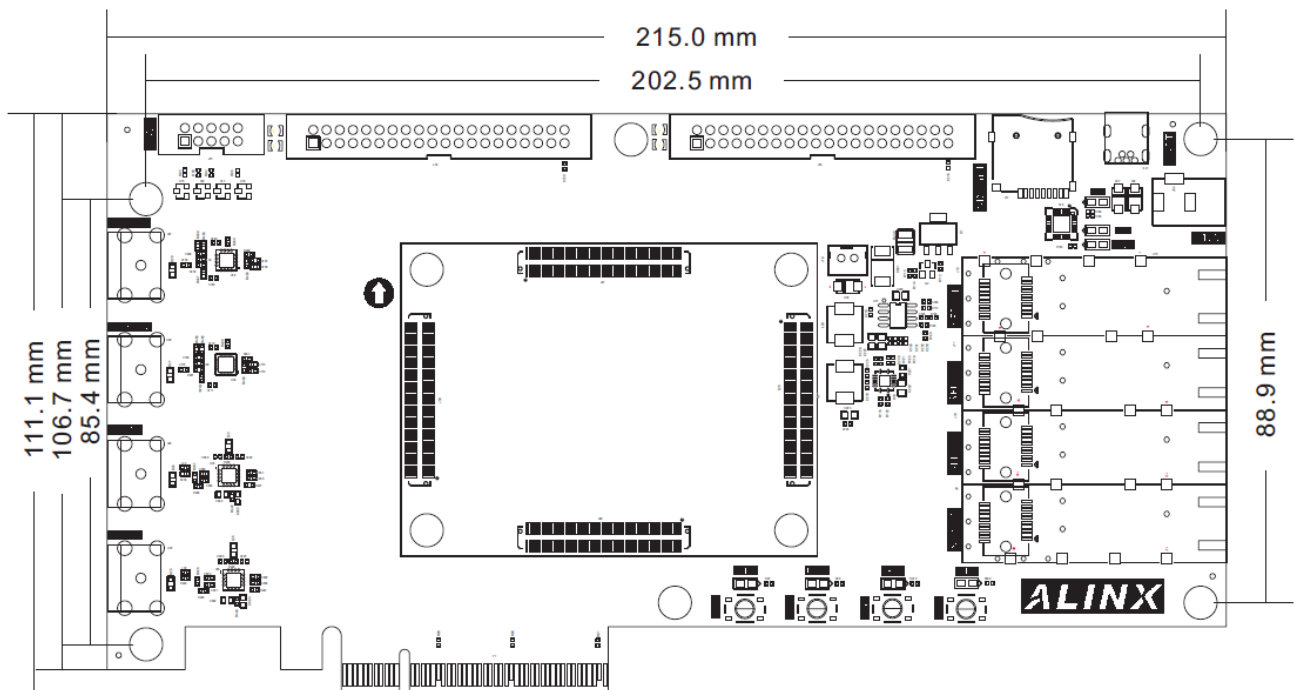


图 3-12-1 正面图 (Top View)