

FPGA 黑金开发平台

用户手册

AC616B

ALINX

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档
REV1.1	修改了扩展口的管脚定义

版权申明：

本手册版权归属芯驿电子公司(上海)有限公司所有, 并保留一切权力。非经本公司(书面形式), 同意, 任何单位及个人不得擅自摘录或修改本手册部分或全部内容, 违者我们将追究其法律责任。

感谢您购买黑金开发板, 在使用产品之前, 请仔细地阅读该手册并且确保知道如何正确使用该产品, 不合理的操作可能会损坏开发板, 使用过程中随时参考该手册以确保正确使用。

此手册不断更新中, 建议您使用时下载最新版本。

软件版本：

本手册使用 Xilinx 官方提供的 ISE 14.7 版本, 请从 Xilinx 网站下载正确的版本和使用我们提供的软件版本安装。

黑金官网：

[Http://www.alinx.com.cn](http://www.alinx.com.cn)

黑金动力社区:

<http://www.heijin.org>

黑金官方淘宝店：

<http://oshcn.taobao.com>

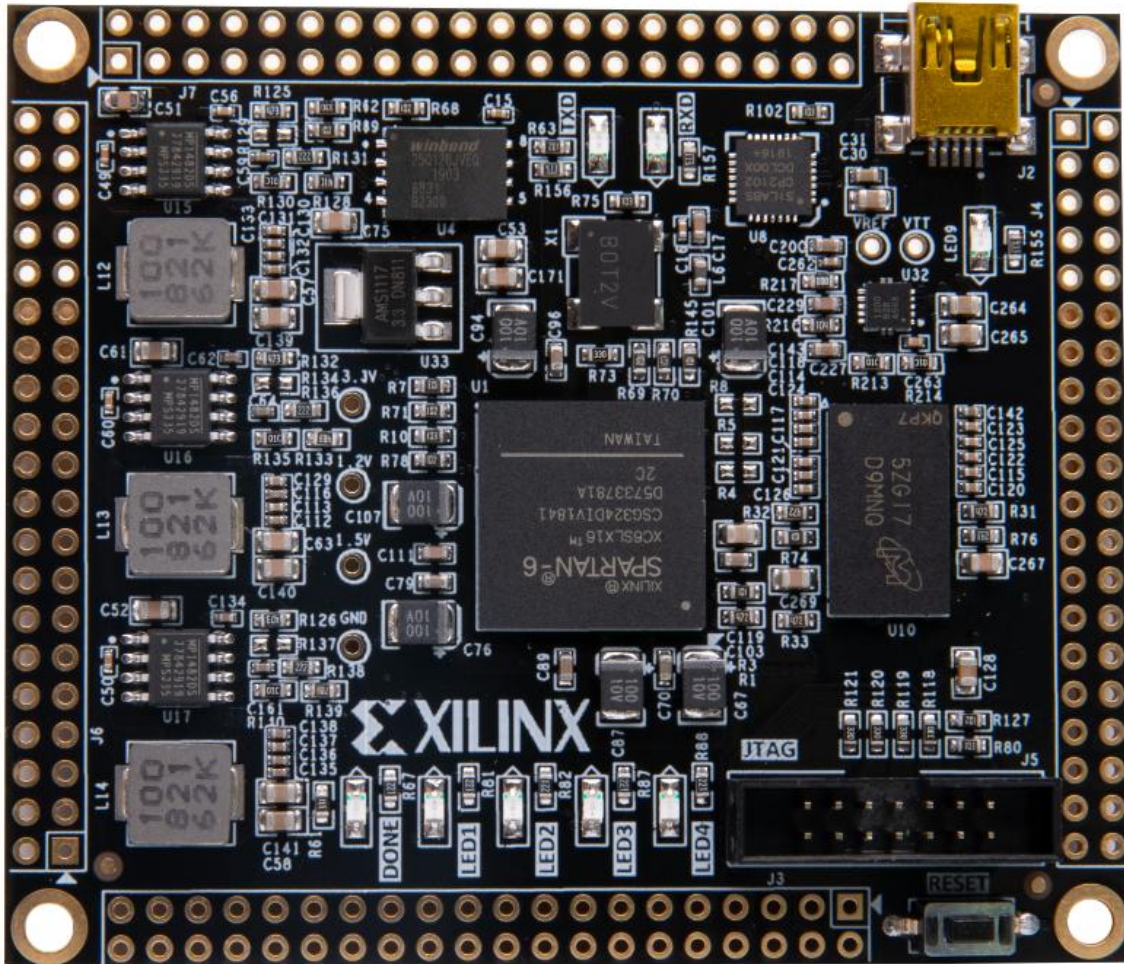
联系方式：

021-67676997

目 录

文档版本控制	2
版权申明：	3
软件版本：	3
一、 简介.....	6
二、 电源.....	8
三、 FPGA.....	10
1) JTAG 接口	10
2) FPGA 供电引脚.....	11
四、 50M 有源晶振	12
五、 QSPI Flash.....	13
六、 DDR3 DRAM	14
七、 USB 转串口	17
八、 扩展口	19
九、 LED	23
十、 按键.....	25

FPGA 黑金 XILINX 核心板 2018 款正式发布了，此款开发平台是高品质 Xilinx 的 FPGA 核心开发板，型号为：AC616B。它采用的是 Xilinx 的 Spartan6 系列 XC6SLX16-2CSG324 FPGA 作为核心处理器，具有丰富的硬件资源和外围接口。在设计上坚持“精致、实用、简洁”的设计理念，因为它的体积很小，扩展性很强的特点，非常适合于用户的 FPGA 的前期验证，产品的嵌入和项目开发。同时它还可适用与高校教学、FPGA 培训、个人研究学习和 DIY 等。



一、简介

在这里，对这款 FPGA 核心开发板进行简单的功能介绍。

此款开发板使用的是 Xilinx 公司的 Spartan6 系列 FPGA，型号为 XC6SLX16，324 个引脚的 FBGA 封装。此款 FPGA 的资源如下图所示：

Device	Logic Cells ⁽¹⁾	Configurable Logic Blocks (CLBs)			DSP48A1 Slices ⁽³⁾	Block RAM Blocks		CMTs ⁽⁵⁾	Memory Controller Blocks (Max) ⁽⁶⁾	Endpoint Blocks for PCI Express	Maximum GTP Transceivers	Total I/O Banks	Max User I/O
		Slices ⁽²⁾	Flip-Flops	Max Distributed RAM (Kb)		18 Kb ⁽⁴⁾	Max (Kb)						
XC6SLX4	3,840	600	4,800	75	8	12	216	2	0	0	0	4	132
XC6SLX9	9,152	1,430	11,440	90	16	32	576	2	2	0	0	4	200
XC6SLX16	14,579	2,278	18,224	136	32	32	576	2	2	0	0	4	232
XC6SLX25	24,051	3,758	30,064	229	38	52	936	2	2	0	0	4	266
XC6SLX45	43,661	6,822	54,576	401	58	116	2,088	4	2	0	0	4	358
XC6SLX75	74,637	11,662	93,296	692	132	172	3,096	6	4	0	0	6	408
XC6SLX100	101,261	15,822	126,576	976	180	268	4,824	6	4	0	0	6	480
XC6SLX150	147,443	23,038	184,304	1,355	180	268	4,824	6	4	0	0	6	576
XC6SLX25T	24,051	3,758	30,064	229	38	52	936	2	2	1	2	4	250
XC6SLX45T	43,661	6,822	54,576	401	58	116	2,088	4	2	1	4	4	296
XC6SLX75T	74,637	11,662	93,296	692	132	172	3,096	6	4	1	8	6	348
XC6SLX100T	101,261	15,822	126,576	976	180	268	4,824	6	4	1	8	6	498
XC6SLX150T	147,443	23,038	184,304	1,355	180	268	4,824	6	4	1	8	6	540

其中，主要的参数，

逻辑单元 Logic Cells : 14579 ;

乘法器 DSP48 : 32;

可配置逻辑块 CLBs : 136Kb ;

Block RAM : 576Kb ;

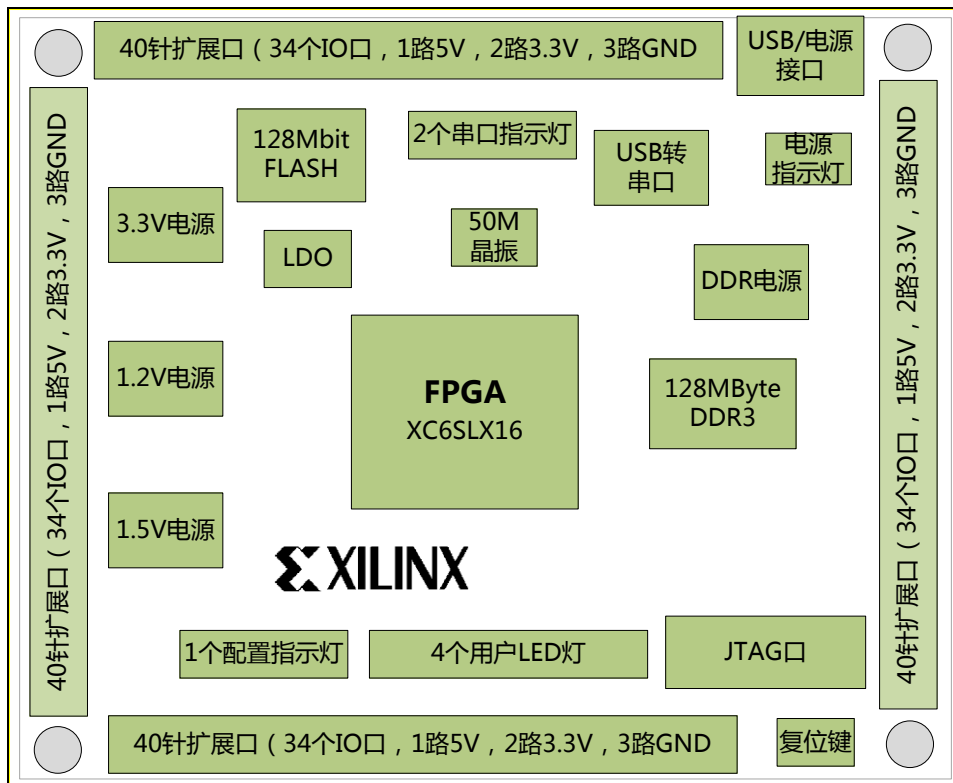
时钟单元 CMTs : 2

可用 IO 数量 : 218 个 ;

内核电压 : 1.15V-1.25V(推荐 1.2V);

工作温度 : 0-85°C

图为整个核心板系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- +5V USB 电源输入，可以直接连接电脑的 USB 口供电，或者通过底板+5V 供电，两者二选一。核心板最大电流小于 300mA；
- 一片大容量的 128Mbyte 高速 DD3 SDRAM,可作为数据的缓存，也可以作为 Microblaze 运行的内存;
- 一片 128Mbit 的 QSPI FLASH, 可用作 FPGA 配置文件和用户数据的存储;
- 一路 USB Uart 接口, 用于和 PC 或外部设备的串口通信，和 USB 电源输入共用;
- 一个摄像头接口，可以接 30 万的 OV7670 摄像头或 500 万的 OV5640 摄像头;
- 4 个用户发光二极管 LED;
- 1 个复位按键；
- 板载 50M 的有源晶振，给开发板提供稳定的时钟源；
- 4 路 40 针的扩展口 (2.54mm 间距)，其中 34 个 IO 口，1 路 5V 电源，2 路 3.3V 电源，3 路 GND。可以接底板或者黑金的其它功能模块。IO 的电平默认为 3.3V，可以通过更换核心板上的 LDO 来改变电平。
- 1 个 JTAG 口，可对 FPGA 进行调试和程序固化。

二、电源

电源输入：开发板供电电压为 DC5V，可以使用电脑的 USB 供电或者底板供电。开发板上的电源设计示意图如下：

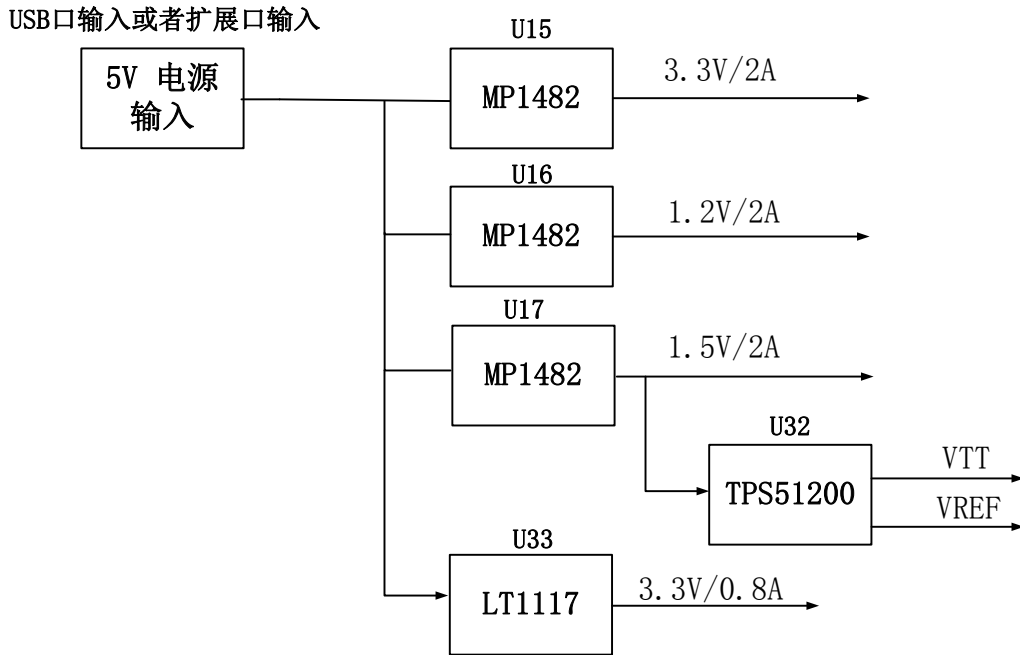


图 2.1 原理图中电源接口部分

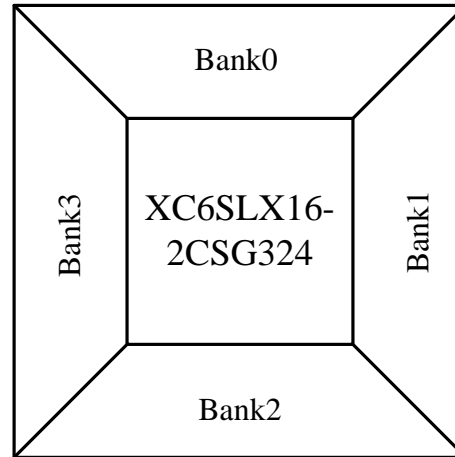
开发板使用+5V供电，通过三路DC/DC电源芯片MP1482转化成+3.3V，+1.2V，+1.5V三路电源，通过一路LDO LT1117产生+3.3V电源，1.5V通过TI的TPS51200生成DDR3需要的VTT和VREF电压。各个电源分配的功能如下表所示：

电源	功能
+3.3V	串口，FLASH, FPGA
+1.2V	FPGA Core
+1.5V	DDR3, FPGA Bank3
VREF, VTT	DDR3
+3.3V	FPGA Bank0, Bank1 VCCIO

FPGA的BANK0，BANK1的IO电压可以通过板上的LDO芯片(U33)供电，默认的IO电平为3.3V，如果用户需要外接其它电平设备，只需要相应的更换LDO芯片AMS1117。比

如更换为 AMS1117-2.5V, BANK0,BANK1 的 IO 电平标准就为 2.5V, 如更换为 AMS1117-1.8V, BANK0,BANK1 的 IO 电平标准就为 1.8V。

FPGA 每个 BANK 电压分配：



BANK	功能	电压	备注
BANK0	连接到扩展口 J3, J4	3.3V	电平可以通过 LDO 调整
BANK1	连接到扩展口 J4, J6	3.3V	电平可以通过 LDO 调整
BANK2	扩展口 J7, QSPI FLASH, LED, KEY	3.3V	电平固定
BANK3	DDR3	1.5V	电平固定

我们在设计 PCB 的时候，采用 8 层 PCB，每层都有单独的电源或者地层参考，保证阻抗的连续，另外 FPGA 到扩展口的长度严格控制等长，保证 FPGA 到扩展口之间时序延迟的一致性，IO 的差分阻抗走线控制在 100OHM，满足高速 LVDS 的数据通信。在 PCB 板上我们预留了各个电源的测试点，以使用户确认板上的电压。

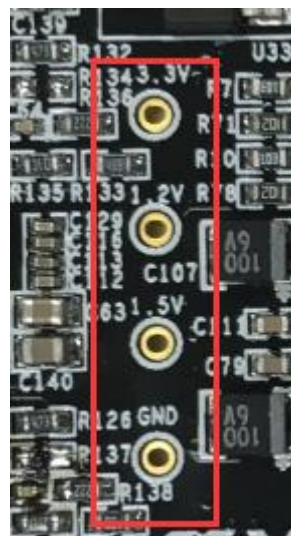


图 2.2 实物图中的电源测试点

三、FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 XC6SLX16-2CSG324，属于 Xilinx 公司 Spartan-6 的产品。此型号为 BGA 封装，324 个引脚。再次说明一下 FPGA 引脚的定义。很多人使用 FPGA 都是非 BGA 封装的，比如 144 引脚，208 引脚的 FPGA 芯片，他们的引脚定义是由数字组成，比如 1 到 144，1 到 208 等等，而当我们使用 BGA 封装的芯片以后，引脚名称变为由字母+数字的形式，比如 E3，G3 等等，因此我们在看原理图的时候，看到的字母+数字这种形式的，就是代表了 FPGA 的引脚。说完这个，我们来看与 FPGA 有关系的各个部分的功能。图 3.1 为开发板所用的 FPGA 芯片实物图。

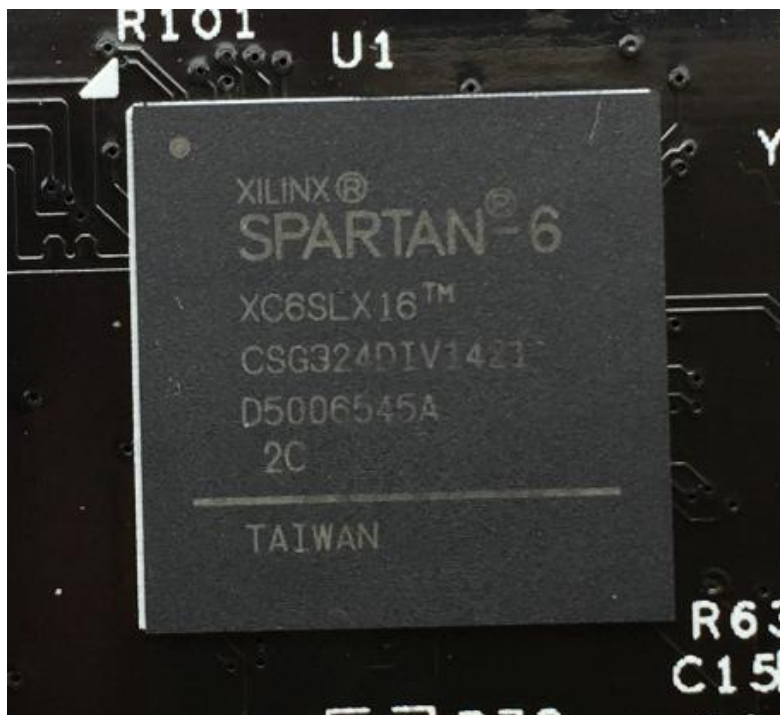


图 3.1 FPGA 芯片实物

1) JTAG 接口

首先我们来说 FPGA 的配置和调试接口：JTAG 接口。JTAG 接口的作用是将编译好的程序 (.bit) 下载到 FPGA 中或把 FLASH 配置程序(.mcs)下载到 SPI FLASH，Bit 文件下载到 FPGA 后，掉电以后就会丢失，需要上电重新下载才可以。但下载到 FLASH 的 MCS 文件以后，掉电以后就不会丢失，重新上电后 FPGA 会读取 FLASH 中的配置文件并运行。

图 3.2 就是 JTAG 口的原理图部分，其中涉及到 TCK,TDO,TMS,TDI 这四个信号。这四个信号由 FPGA 引脚引出通过 33 欧姆电阻连接到 JTAG 连接器，起到对 FPGA 芯片的保护作用。

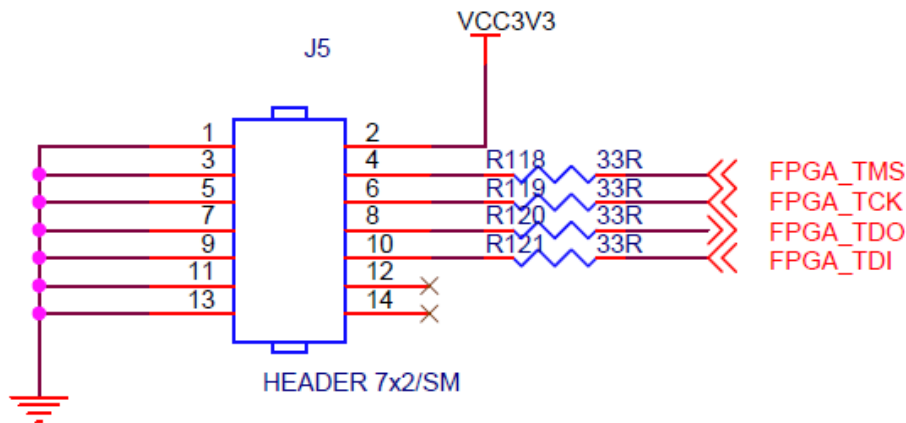


图 3.2 原理图中 JTAG 接口部分

JTAG 接口采用 14 针的 2.0mm 标准的连接器，图 3.3 为 JTAG 接口在开发板上的实物图

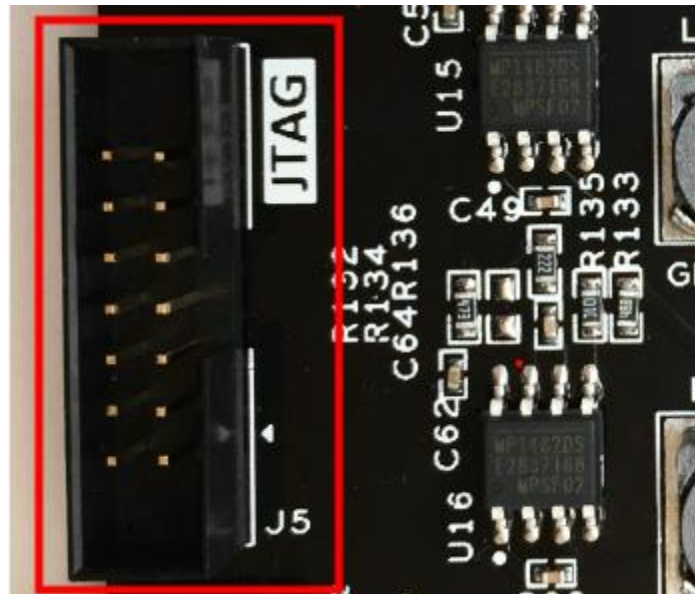


图 3.3 JTAG 接口实物图

2) FPGA 供电引脚

接下来，我们说一下 FPGA 的电源引脚部分，其中包括每一个 bank 的电源引脚，内核电压引脚和辅助电压引脚，VCCINT 为 FPGA 内核供电引脚，接 1.2V；VCCAUX 为 FPGA 辅助供电引脚，可以接 3.3V 或 2.5V，我们这里接 3.3V；VCCINT 和 VCCAUX 的连接如图 3.4 所示，

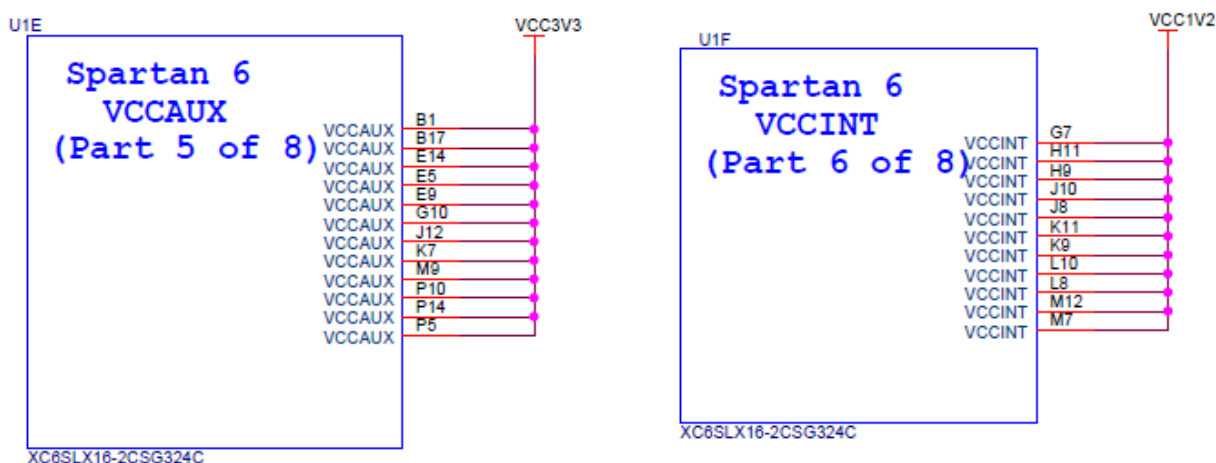


图 3.4 FPGA 电源引脚

VCCIO 是 FPGA 的每个 BANK 的供电电压，其中 VCCIO0 是 FPGA 的 BANK0 的供电引脚，同理，VCCIO1~ VCCIO3 分别是 FPGA 的 BANK~BANK3 的供电引脚，在开发板中，VCCIO 0 和 VCCIO 1 都接了 3.3V 电压（LDO U33 供电），也就是说，对应的 FPGA 引脚均为 3.3V 输入和输出，但用户可以通过改变 LDO 芯片来改变 IO 的电压。VCCIO 2 也接了 3.3V 电压，此电压是固定的。因为 BANK 3 的引脚接了一个 DDR3，所以 VCCIO3 接了 1.5V 电压。图 3.5 为 BANK0，BANK1 的 VCCIO 的连接图。

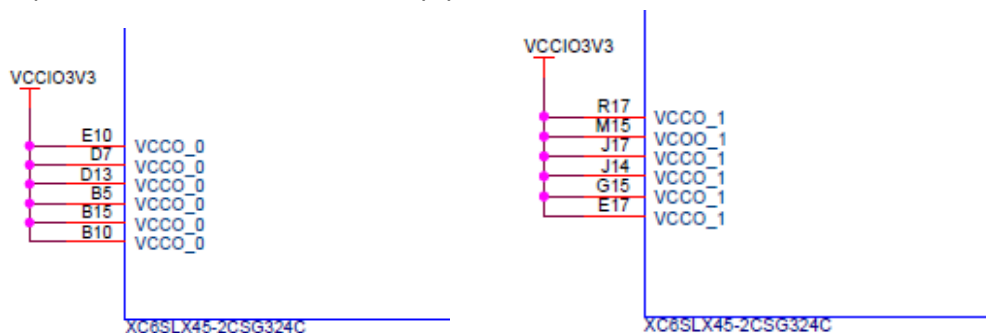
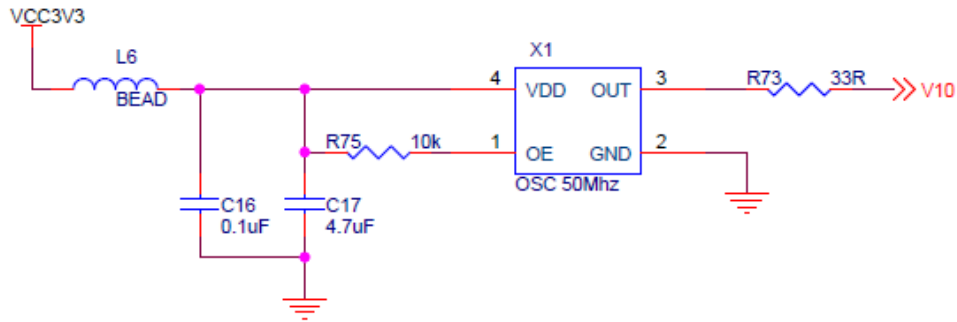


图 3.5 FPGA 电源 VCCIO 引脚

四、50M 有源晶振

图 4.1 即为我们上述提到的给开发板提供时钟源的 50M 有源晶振电路。晶振输出连接到 FPGA 的全局时钟(GCLK Pin V10)，这个 GCLK 可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLLs 和 DCMs 来实现更高的时钟。



CLOCK

图 4.1 50M 有源晶振

图 4.2 为有源晶振实物图



图 4.2 50M 有源晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
50MHz 时钟输入	V10

五、QSPI Flash

开发板上使用了一片 128Mbit 大小的 Quad-SPI FLASH 芯片，型号为 W25Q128，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

QSPI FLASH的具体型号和相关参数见表5.1。

位号	芯片类型	容量	厂家
U6	W25Q128BV	128M bit	Winbond

表 5.1 QSPI Flash 的型号和参数

图 3.4 为 QSPI Flash 在原理图中的部分。

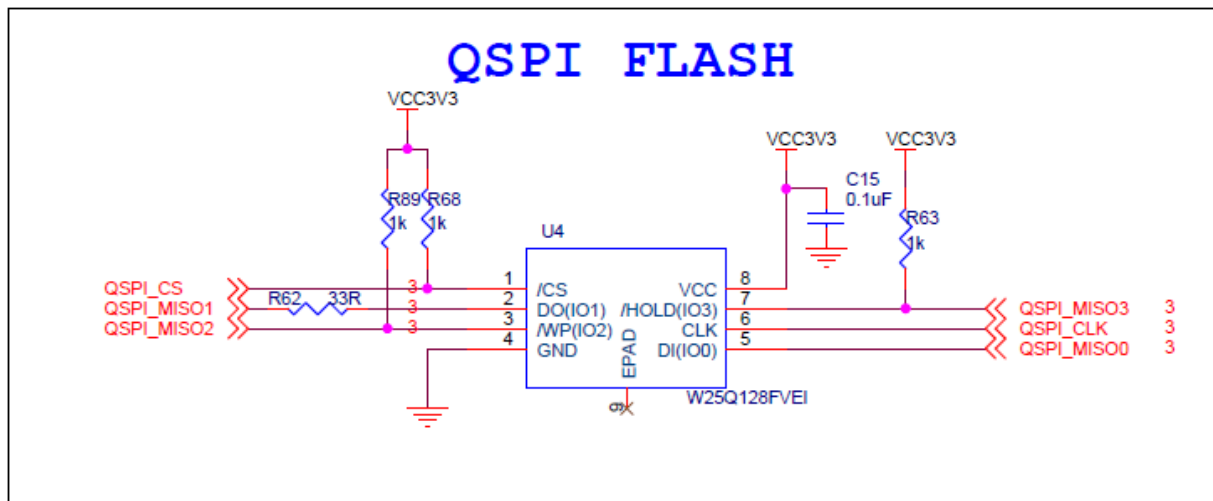


图 3.4 QSPI Flash 连接示意图

配置芯片引脚分配：

引脚名称	FPGA 引脚
QSPI_CLK	R15
QSPI_CS	V3
QSPI_MISO0	T13
QSPI_MISO1	R13
QSPI_MISO2	T14
QSPI_MISO3	V14

六、DDR3 DRAM

开发板板载了一片高速 DDR3 DRAM,型号：MT41J64M16LA-187E，容量：128MByte (64M*16bit)，16bit 总线。开发板上 FPGA 和 DDR3 DRAM 相连的是 BANK3 的 IO，Spartan6 FPGA 内部带有硬 DDR3 控制器 MCB，通过配置可以使 MCB 与 DDR3 读写速度

DDR3_UDQS_P	P2
DDR3_UDQS_N	P1
DDR3_DQ[0]	L2
DDR3_DQ [1]	L1
DDR3_DQ [2]	K2
DDR3_DQ [3]	K1
DDR3_DQ [4]	H2
DDR3_DQ [5]	H1
DDR3_DQ [6]	J3
DDR3_DQ [7]	J1
DDR3_DQ [8]	M3
DDR3_DQ [9]	M1
DDR3_DQ [10]	N2
DDR3_DQ [11]	N1
DDR3_DQ [12]	T2
DDR3_DQ [13]	T1
DDR3_DQ [14]	U2
DDR3_DQ [15]	U1
DDR3_LDM	K3
DDR3_UDM	K4
DDR3_A[0]	J7
DDR3_A [1]	J6
DDR3_A [2]	H5
DDR3_A [3]	L7
DDR3_A [4]	F3
DDR3_A [5]	H4
DDR3_A [6]	H3
DDR3_A [7]	H6
DDR3_A [8]	D2
DDR3_A [9]	D1
DDR3_A [10]	F4
DDR3_A [11]	D3

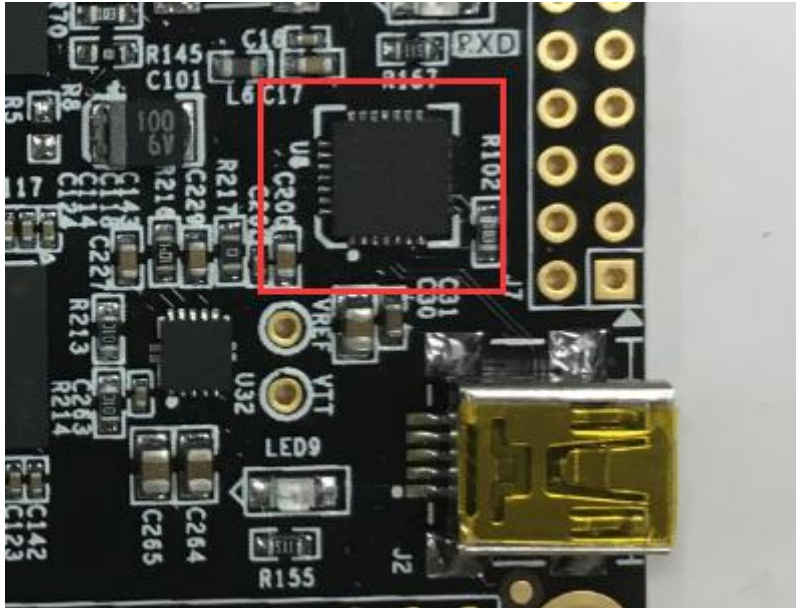


图 7.2 USB 转串口实物图

同时对串口信号设置了 2 个 led 指示灯(LED7, LED8)，LED7 和 LED8 会指示串口是否有数据发出或者是否有数据接受，LED7 为串口数据发送指示灯，LED8 为数据接收指示灯。如图 11.3 所示，

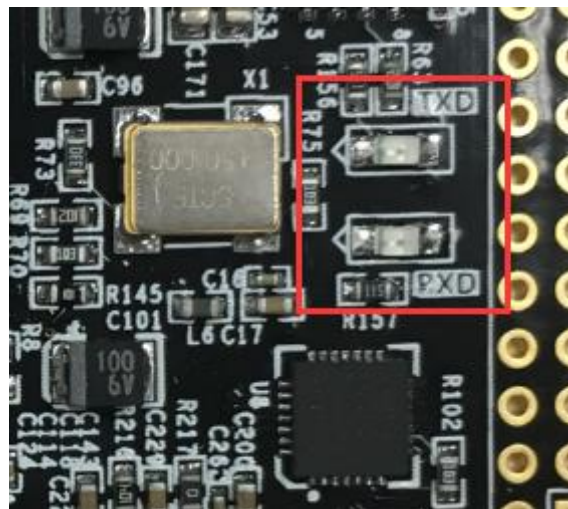


图 7.3 USB 转串口信号灯实物图

串口引脚分配：

引脚名称	FPGA 引脚
UART_RXD	V13
UART_TXD	U13
UART_CTS	N11
UART_RTS	M11

八、扩展口

开发板预留 4 个扩展口，每个扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。这些 IO 口都是独立的 IO 口，没有跟其他设备复用。IO 口分别连接到 FPGA 的 Bank0，Bank1, Bank2 上，电平默认为 3.3V，Bank0, Bank1 的电平可以通过更换 LDO 芯片来改变。**扩展口的 IO 切勿直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**

扩展口 J3 的电路如图 8.1 所示

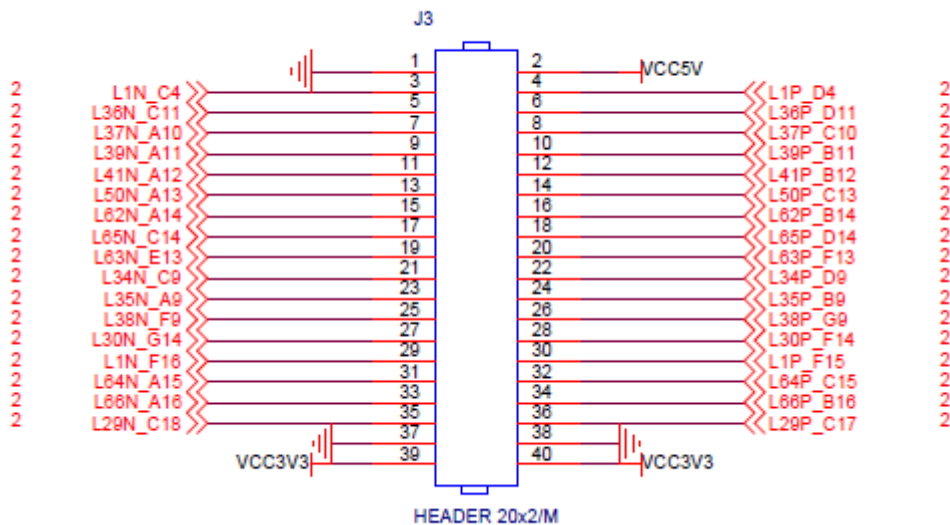


图 8.1 J3 扩展口原理图

扩展口 J4 的电路如图 8.2 所示

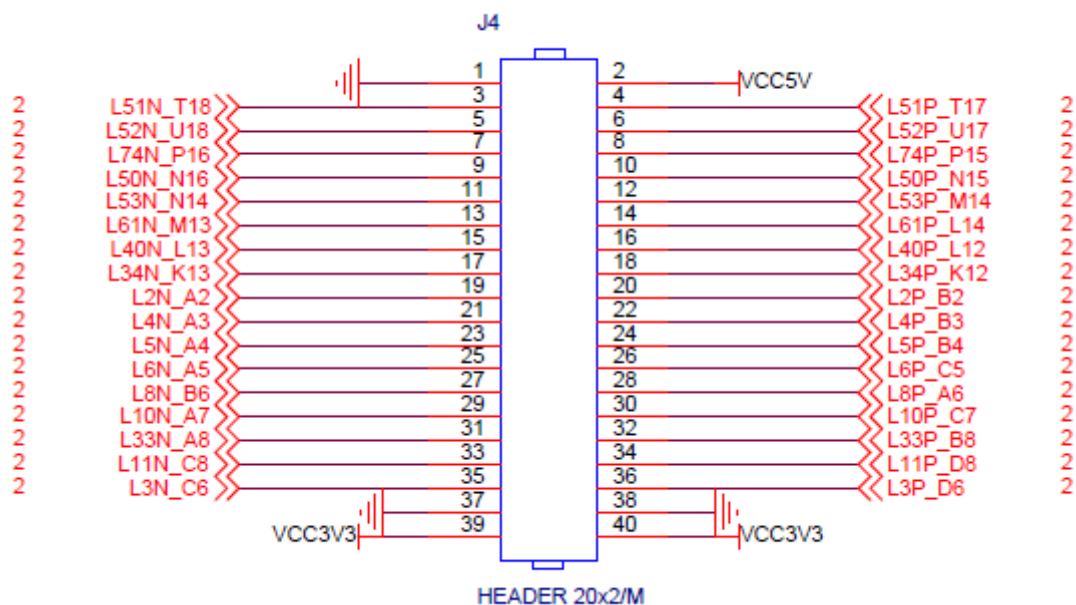


图 8.2 J4 扩展口原理图

扩展口 J6 的电路如图 8.3 所示

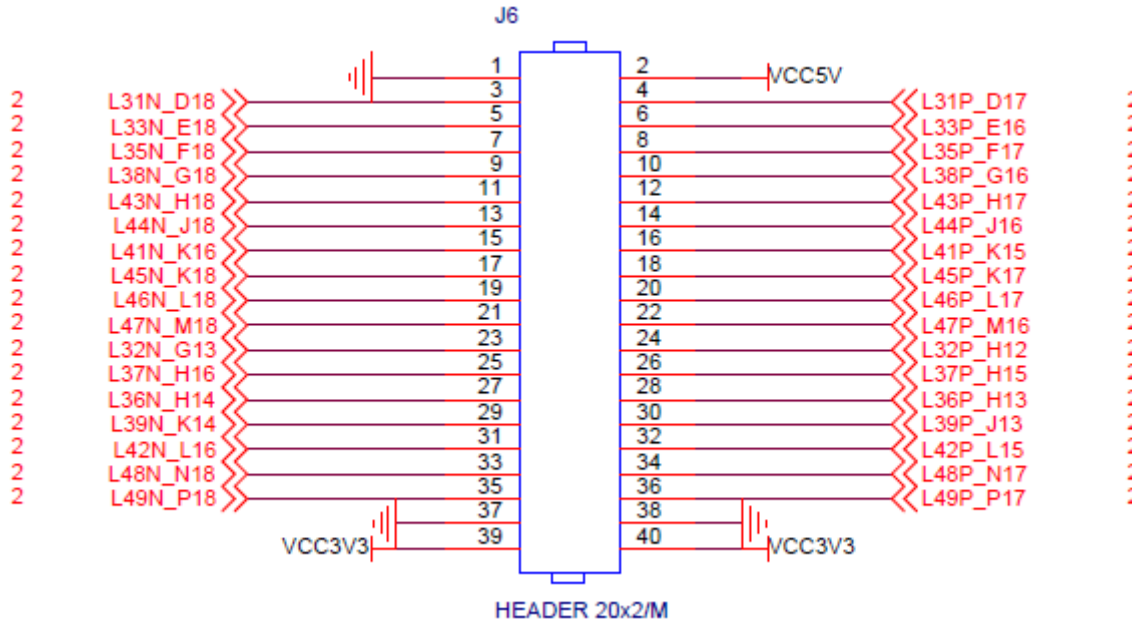


图 8.3 J6 扩展口原理图

扩展口 J7 的电路如图 8.4 所示

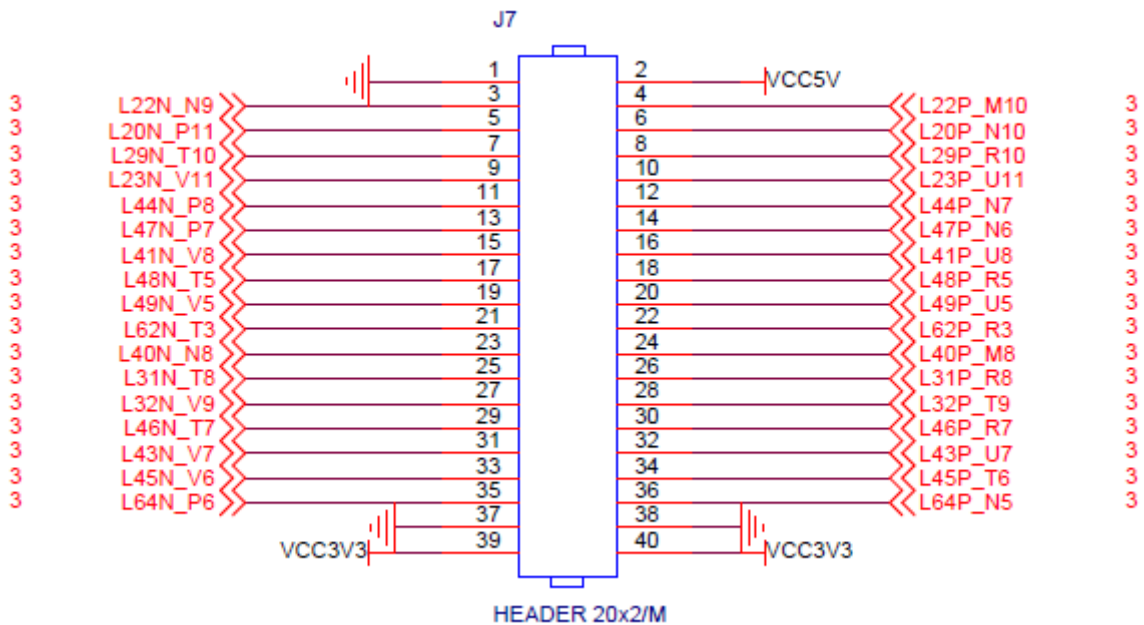


图 8.4 J7 扩展口原理图

J3 扩展口引脚分配如下，连接到 FPGA 的 BANK0,BANK1

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V
3	C4	4	D4
5	C11	6	D11
7	A10	8	C10
9	A11	10	B11
11	A12	12	B12
13	A13	14	C13
15	A14	16	B14
17	C14	18	D14
19	E13	20	F13
21	C9	22	D9
23	A9	24	B9
25	F9	26	G9
27	G14	28	F14
29	F16	30	F15
31	A15	32	C15
33	A16	34	B16
35	C18	36	C17
37	GND	38	GND
39	VCC3V3	40	VCC3V3

J4 扩展口引脚分配如下，连接到 FPGA 的 BANK0,BANK1。

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V
3	T18	4	T17
5	U18	6	U17
7	P16	8	P15
9	N16	10	N15
11	N14	12	M14
13	M13	14	L14

15	L13	16	L12
17	K13	18	K12
19	A2	20	B2
21	A3	22	B3
23	A4	24	B4
25	A5	26	C5
27	B6	28	A6
29	A7	30	C7
31	A8	32	B8
33	C8	34	D8
35	C6	36	D6
37	GND	38	GND
39	VCC3V3	40	VCC3V3

J6 扩展口引脚分配如下，连接到 FPGA 的 BANK0, BANK1。

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V
3	D18	4	D17
5	E18	6	E16
7	F18	8	F17
9	G18	10	G16
11	H18	12	H17
13	J18	14	J16
15	K16	16	K15
17	K18	18	K17
19	L18	20	L17
21	M18	22	M16
23	G13	24	H12
25	H16	26	H15
27	H14	28	H13
29	K14	30	J13
31	L16	32	L15

33	N18	34	N17
35	P18	36	P17
37	GND	38	GND
39	VCC3V3	40	VCC3V3

J7 扩展口引脚分配如下，连接到 FPGA 的 BANK2。

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V
3	N9	4	M10
5	P11	6	N10
7	T10	8	R10
9	V11	10	U11
11	P8	12	N7
13	P7	14	N6
15	V8	16	U8
17	T5	18	R5
19	V5	20	U5
21	T3	22	R3
23	N8	24	M8
25	T8	26	R8
27	V9	28	T9
29	T7	30	R7
31	V7	32	U7
33	V6	34	T6
35	P6	36	N5
37	GND	38	GND
39	VCC3V3	40	VCC3V3

九、LED

核心开发板除了电源指示灯和串口指示灯，还板载了 4 个用户 LED 发光二极管和 1 个 FPGA 配置指示 LED 发光二极管。4 个用户 LED 部分的原理图如图 9.1，当 FPGA 的引脚输出

为逻辑 0 时，LED 会被点亮。

USER LED

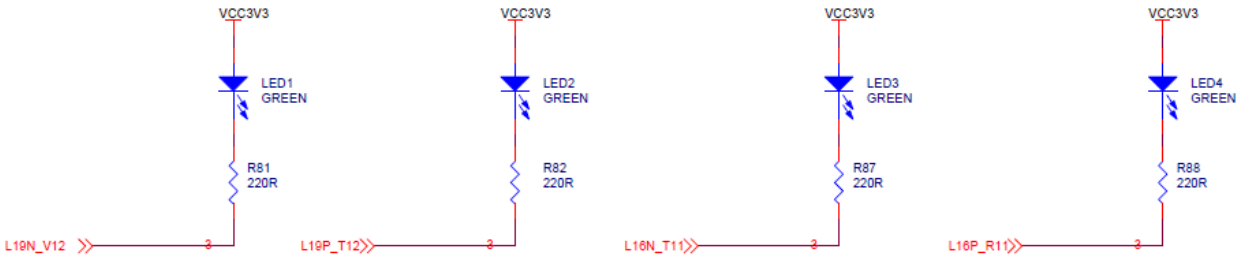


图 9.1 用户 LED 原理图

1 个 FPGA 配置指示 LED 分别为 DONE LED, 当 FPGA 没有配置程序时，DONE LED 熄灭；FPGA 配置成功后，DONE LED 点亮。配置指示 LED 的原理图如图 9.2。

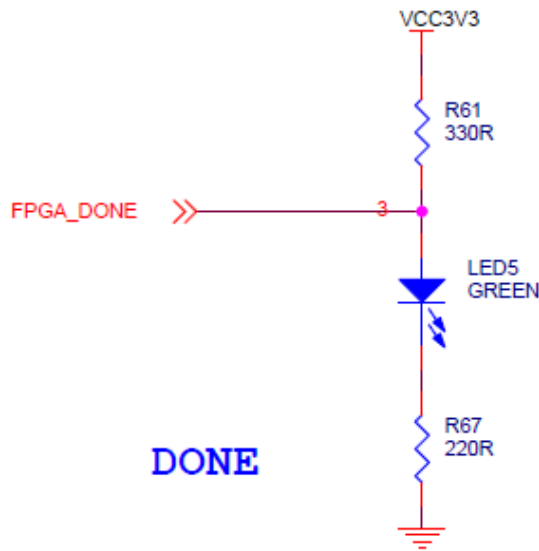


图 9.2 配置 LED 原理图

图 9.3 为 LED 实物图



图 9.3 配置指示 LED 实物图

LED 引脚分配：

引脚名称	FPGA 引脚
LED1	V12

LED2	T12
LED3	T11
LED4	R11

十、按键

开发板板载了 1 个复位按键(RESET), 按键为低电平有效, 按键的原理图如图 10.1 所示

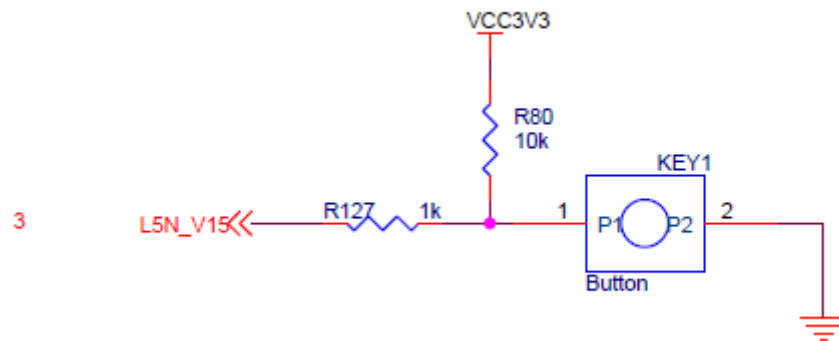


图 10.1 复位按键原理图

图 10.2 为 6 个独立按键实物图



图 10.2 复位按键实物图

按键引脚分配：

按键名称	FPGA 引脚	按键标号
RESET	V15	KEY1