

# 黑金 ALTERA 核心板

## 用户手册

---

# AC4075

REV 1.0 版

芯驿电子科技（上海）有限公司

黑金动力社区

# 目录

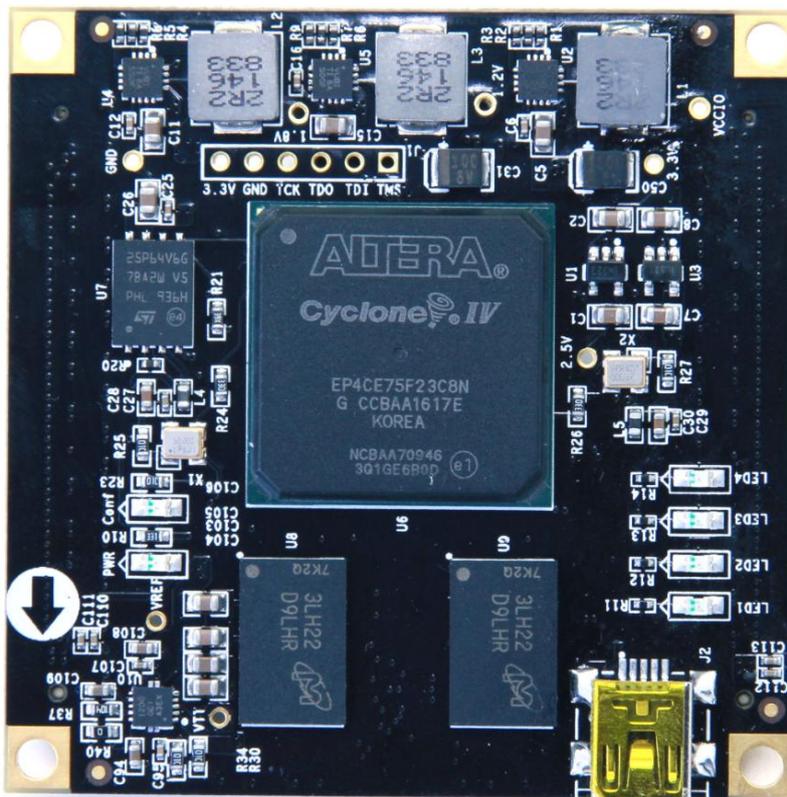
(一) 核心板简介 .....	3
(二) DDR2 .....	4
(三) SPI Flash .....	6
(四) FPGA 供电电源 .....	8
(五) 扩展接口 .....	10
(六) 电源接口 .....	13
(七) 外部晶振 .....	14
(八) LED .....	15
(九) 核心板结构尺寸图 .....	18

## (一) 核心板简介

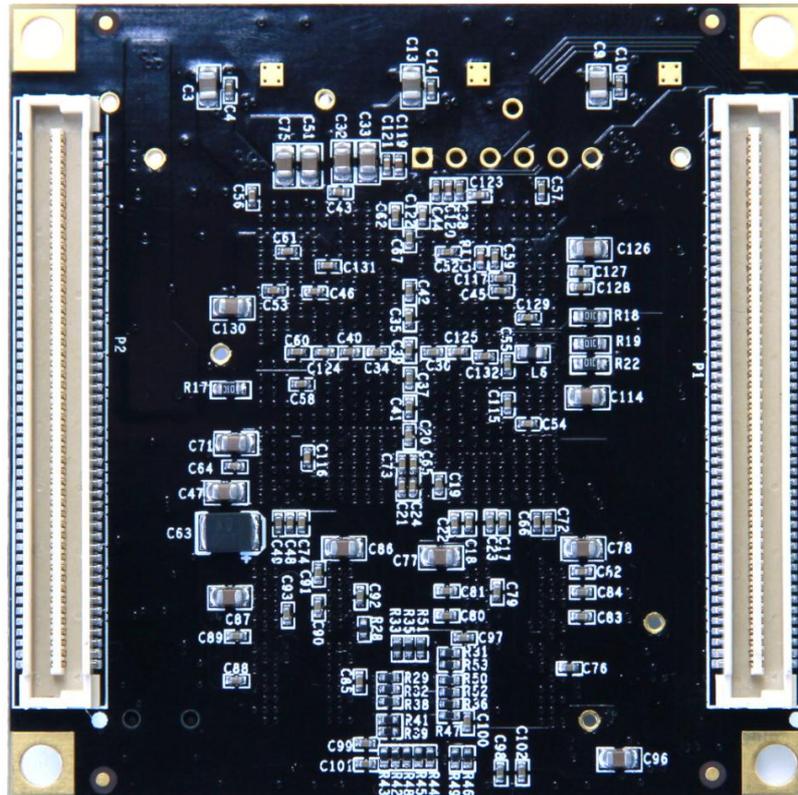
FPGA+ 2 片 DDR2 核心板, 是基于 ALTERA 公司的 CYCLONE IV 系列的 EP4CE75F23C8 这款芯片开发的高性能核心板, 具有高速, 高带宽, 高容量等特点, 适合视频图像处理, 高速数据采集等方面使用。

这款核心板使用了 2 片 MICRON 公司的 MT47H64M16HR-3IT DDR2 芯片, 总容量为 2Gbit; 2 片 DDR2 组成 32bit 总线模式, FPGA 和 DDR2 之间的读写数据带宽高达 8.5Gb 这样的配置, 可以满足 4 路 1080p 视频处理的需求。

这款核心板还扩展出 168 个 IO 口 (73 对 LVDS 差分), 对于需要大量 IO 的用户, 此核心板将是不错的选择。而且, FPGA 芯片到接口之间走线做了等长处理, 并且核心板尺寸仅为 60\*60 (mm), 对于二次开发来说, 非常适合。



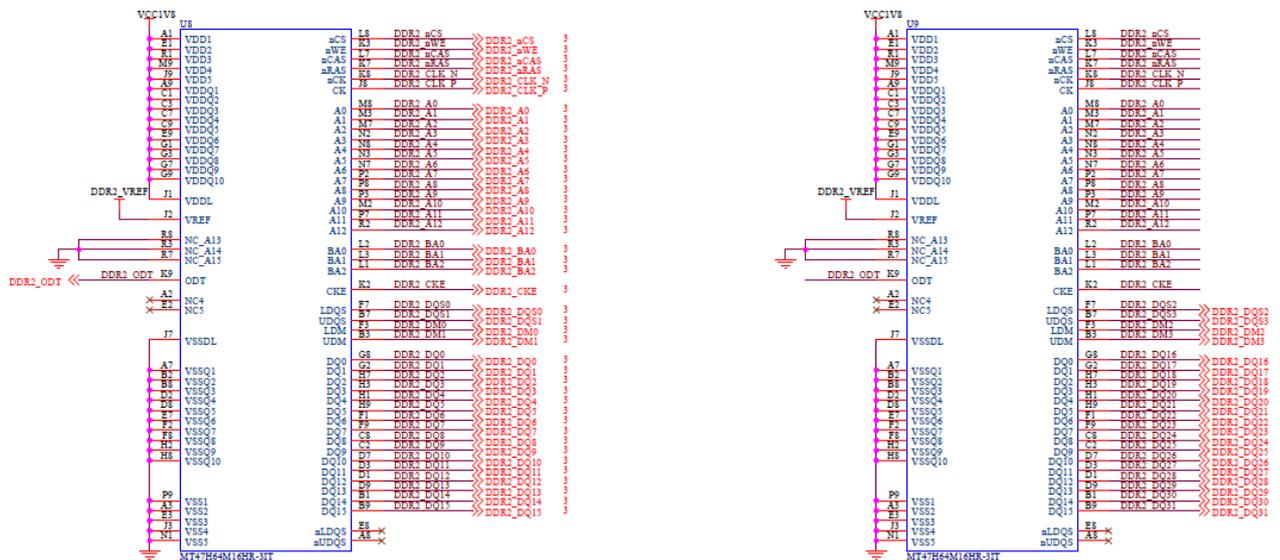
核心板正面照片



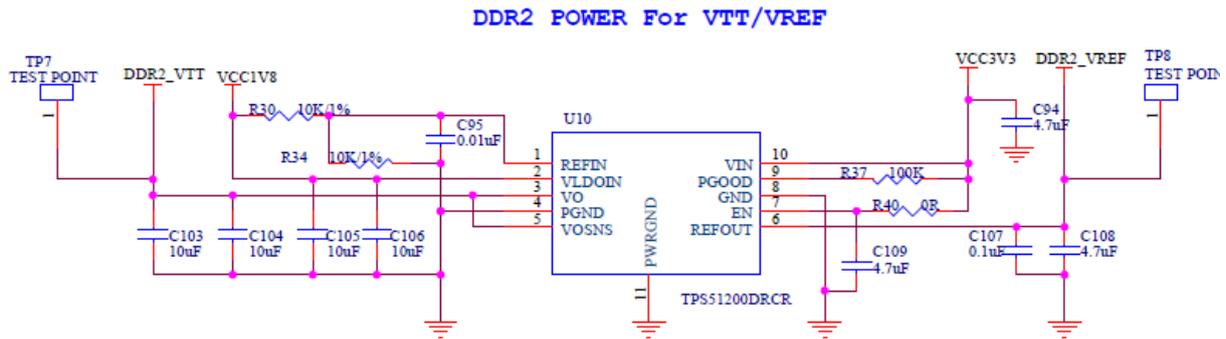
核心板背面照片

## (二) DDR2

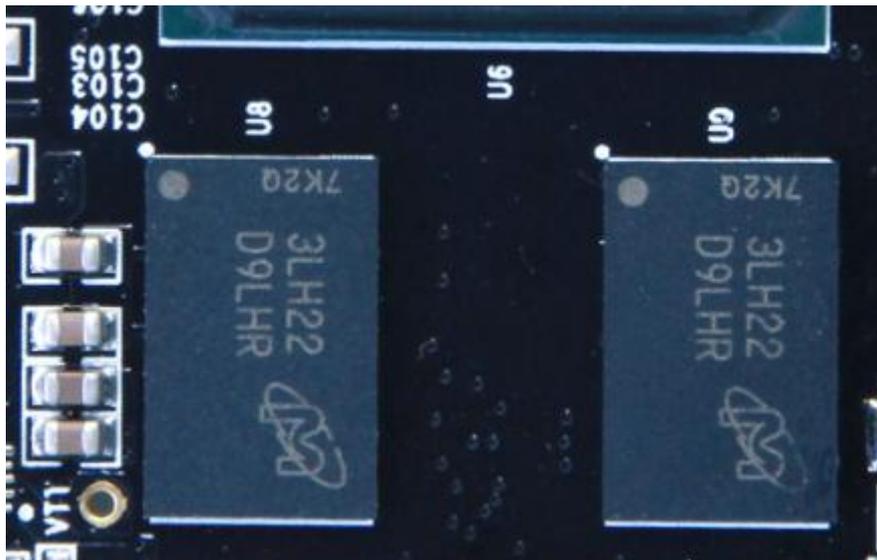
下图为 DDR2 的部分原理图 (详细的请看我们提供的原理图)



另外, 为了让 DDR2 正常工作, 我们还需要为 DDR2 的地址线和控制线提供端接电压 VTT 和 DDR2 芯片的参考电压 VREF, VTT 和 VREF 的电压都为 0.9V, 下图为电源部分原理图。



下图为 DDR2 部分的实物图。



DDR2 及电源部分实物图

DDR2 连接到 FPGA 的 BANK3 和 BANK4 上，具体 FPGA 的 DDR2 管脚分配如下：

引脚名称	FPGA 引脚	引脚名称	FPGA 引脚
DDR2_A[0]	R14	DDR2_A[11]	AA3
DDR2_A[1]	AB5	DDR2_A[12]	AA20
DDR2_A[2]	T16	DDR2_BA[0]	AA6
DDR2_A[3]	U17	DDR2_BA[1]	R16
DDR2_A[4]	AA4	DDR2_BA[2]	AB10
DDR2_A[5]	U15	DDR2_nCAS	Y17
DDR2_A[6]	Y4	DDR2_CKE	AA8
DDR2_A[7]	AA19	DDR2_CLK_P	Y14
DDR2_A[8]	AB3	DDR2_CLK_N	Y15
DDR2_A[9]	U16	DDR2_DQ[16]	AB18

DDR2_A[10]	Y6	DDR2_DQ[17]	W15
DDR2_nRAS	U14	DDR2_DQ[18]	W17
DDR2_nWE	AB6	DDR2_DQ[19]	AB16
DDR2_ODT	AA17	DDR2_DQ[20]	V14
DDR2_DM[0]	AA7	DDR2_DQ[21]	AB20
DDR2_DM[1]	V5	DDR2_DQ[22]	V15
DDR2_DM[2]	AA16	DDR2_DQ[23]	T15
DDR2_DM[3]	A10	DDR2_DQ[24]	AA15
DDR2_DQ[0]	Y10	DDR2_DQ[25]	AA13
DDR2_DQ[1]	AB7	DDR2_DQ[26]	AB15
DDR2_DQ[2]	AA9	DDR2_DQ[27]	AA14
DDR2_DQ[3]	AB8	DDR2_DQ[28]	AB13
DDR2_DQ[4]	U10	DDR2_DQ[29]	U12
DDR2_DQ[5]	V11	DDR2_DQ[30]	AB14
DDR2_DQ[6]	Y8	DDR2_DQ[31]	W13
DDR2_DQ[7]	W10	DDR2_DQS[0]	AB9
DDR2_DQ[8]	V8	DDR2_DQS[1]	V10
DDR2_DQ[9]	AA5	DDR2_DQS[2]	V13
DDR2_DQ[10]	Y7	DDR2_DQS[3]	Y13
DDR2_DQ[11]	W7		
DDR2_DQ[12]	W6		
DDR2_DQ[13]	U9		
DDR2_DQ[14]	Y3		
DDR2_DQ[15]	W8		

### (三) SPI Flash

核心板上使用了一片 64Mbit 大小的 SPI FLASH 芯片，型号为 M25P64，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，SPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

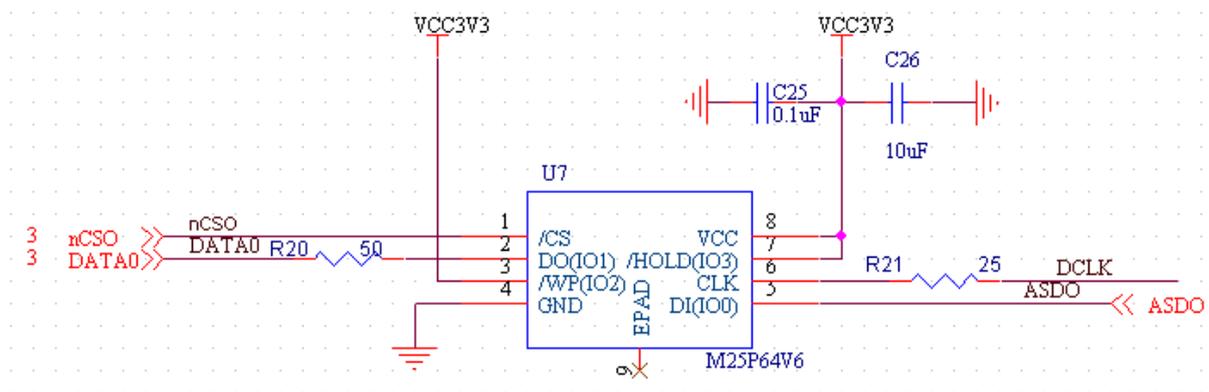
位号	芯片类型	容量	厂家
U8	M25P64	64Mbit	ST

表 1 SPI Flash 的型号和参数

配置芯片引脚分配：

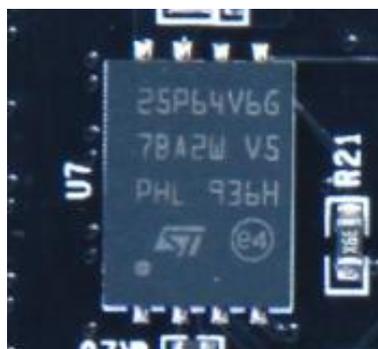
引脚名称	FPGA 引脚
DCLK	K2
nCSO	E2
DATA0	K1
ASDO	D1

下图为 SPI Flash 部分原理图。



SPI FLASH 部分原理图

下图为 SPI FLASH 部分的实物图。

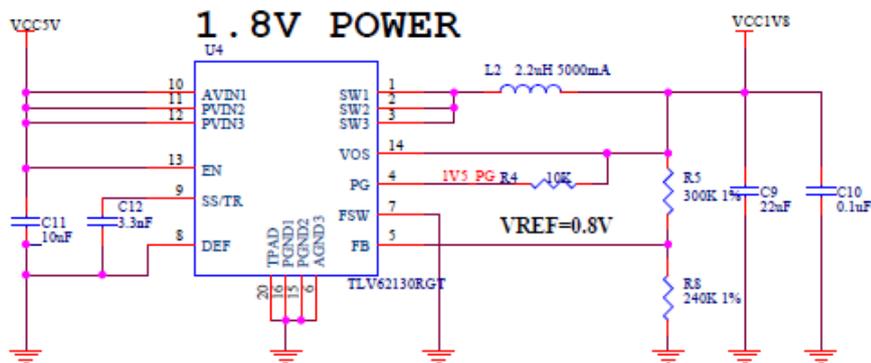


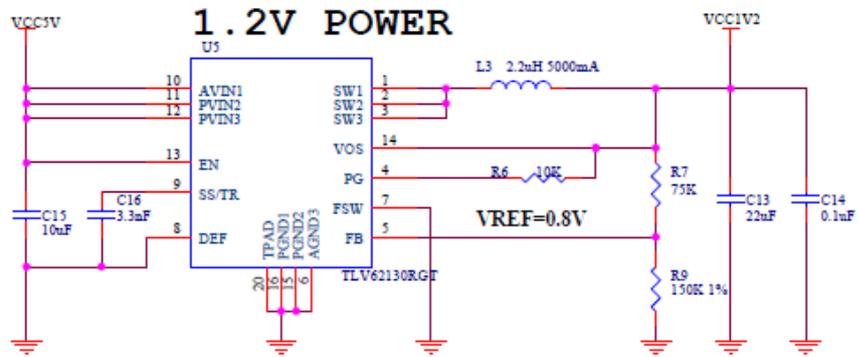
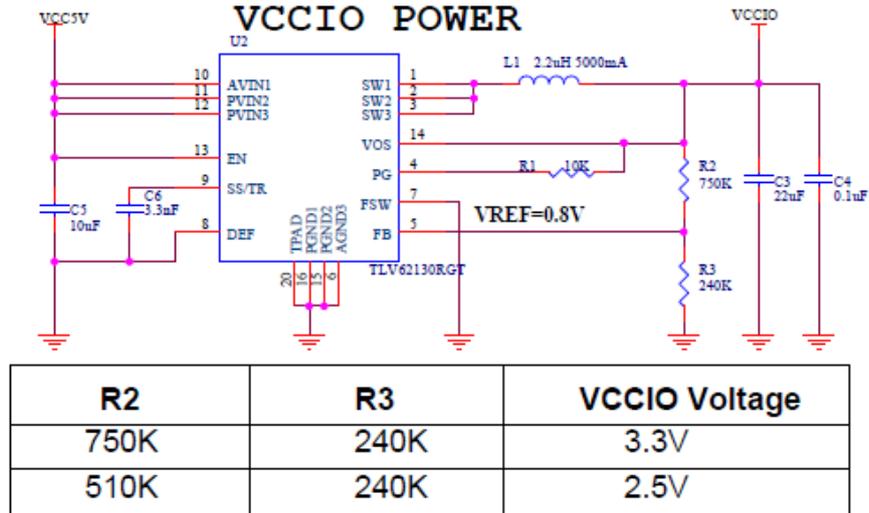
SPI FLASH 部分实物图

## (四) FPGA 供电电源

为了让 FPGA 可以正常的工作，我们需要为 FPGA 提供 3.3V、1.8V、2.5V、1.2V 和 VCCIO 五路电源。我们说一下 FPGA 的电源引脚部分，其中包括每一个 bank 的电源引脚，内核电压引脚，模拟电压和锁相环供电引脚，VCCINT 为 FPGA 内核供电引脚，接 1.2V；VCCIO 是 FPGA 的每个 BANK 的供电电压，其中 VCCIO1 是 FPGA 的 BANK1 的供电引脚，同理，VCCIO2~VCCIO8 分别是 FPGA 的 BANK2~BANK8 的供电引脚，在 AC4075 核心板中，VCCIO1 接了 3.3V 电压，VCCIO3 和 VCCIO4 接了 1.8V，因为 BANK3 和 BANK4 为连接 DDR2 的 IO。其它 BANK(BANK2, BANK5~8)电压接了可调的 VCCIO，这样能够使 FPGA 的这些 BANK IO 电压可以灵活调整，通过调整 VCCIO 电源部分的电阻值来得到不同的输出电压，这样 FPGA 核心板的 IO 电平可以应用于不同电压的场合（默认 VCCIO 的电压为 3.3V）。另外核心板上带有 DDR2，还需要有提供 DDR2 的端接电源 VTT 和参考电源 VREF。

开发板上 3 路电流需求较大的电源（VCCIO, 1.2V, 1.8V）均采用美国 TI 公司进口的 TLV62130RGT DCDC 芯片，它具有效率高，体积小，不发热，可提供电流大，纹波小等特点，是 FPGA 绝佳的电源解决方案；大量使用高档进口的电容电感，保证系统的电源稳定可靠。3 路 DCDC 电源电路设计如下：

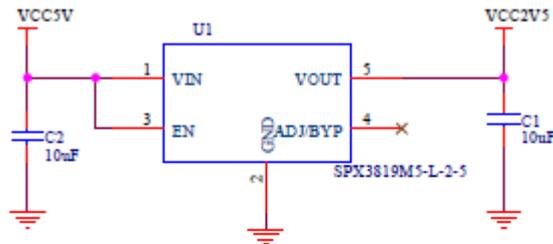




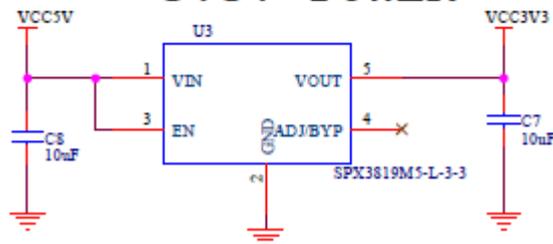
DC-DC 电源部分原理图

另 2 路(3.3V 和 2.5V)因为所需电流不大，我们这里采用纹波更小的 LDO 芯片 SPX3819M5-L-3-3 和 SPX3819M5-L-2-5。

**+2.5V POWER**



**+3.3V POWER**



## LDO 电源部分原理图

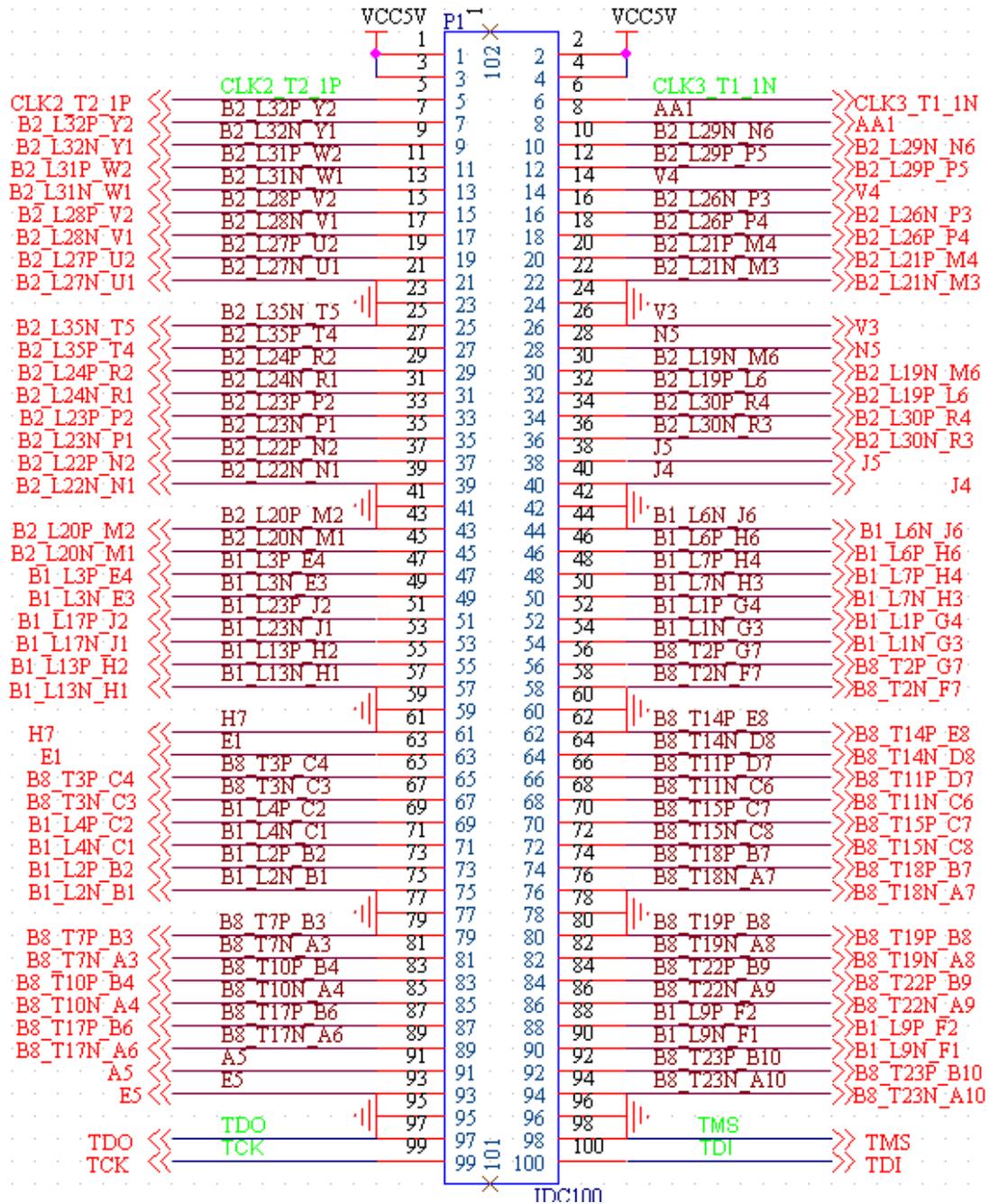
下图为电源部分的实物图。

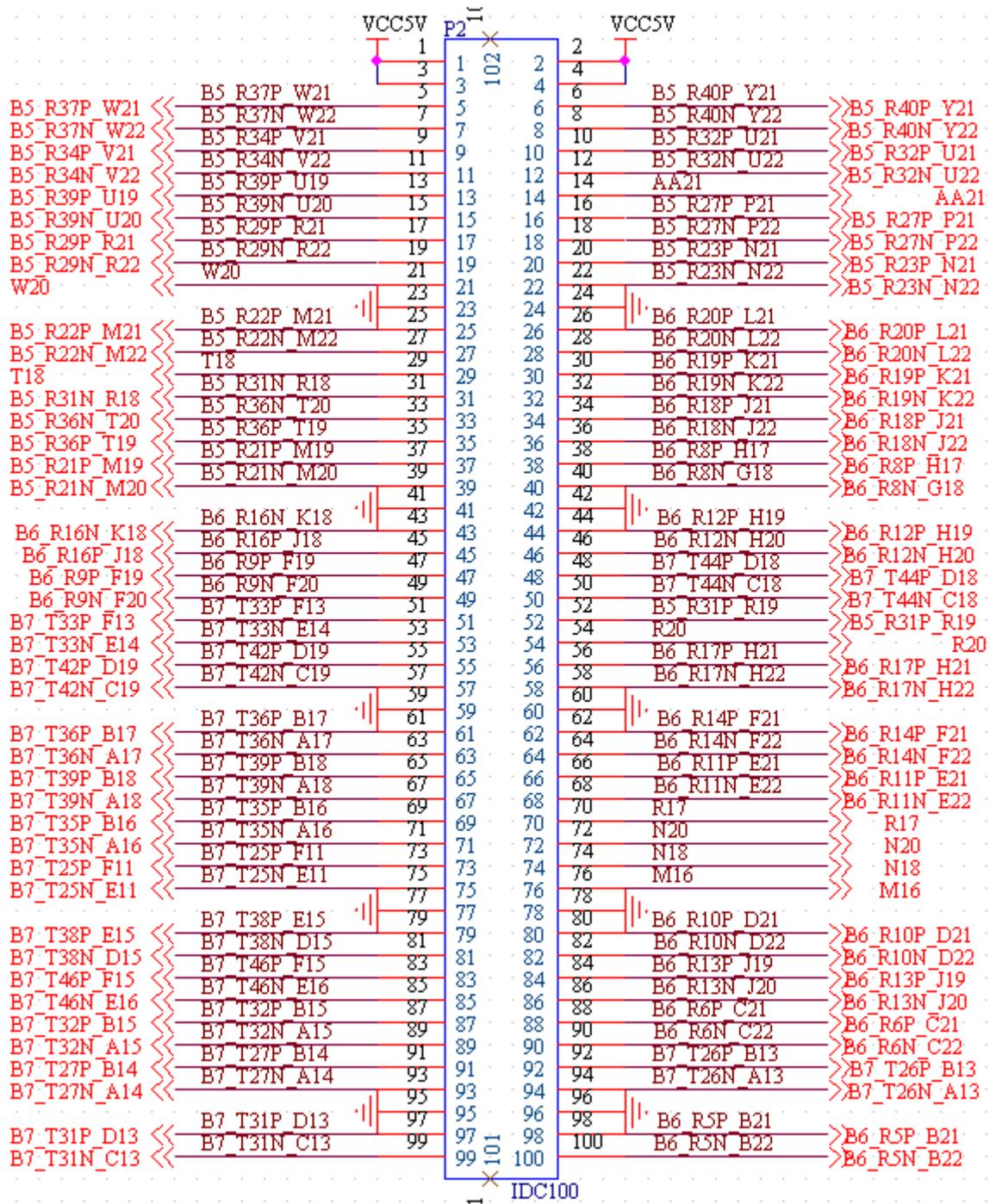


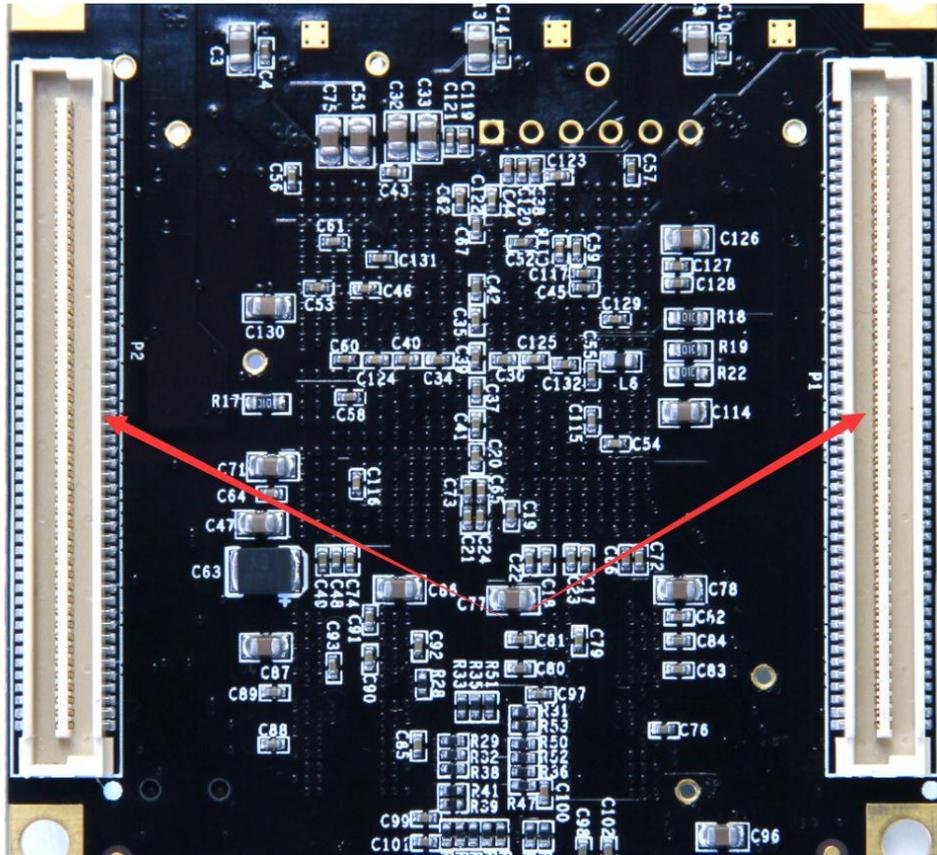
电源部分实物图

### (五) 扩展接口

核心板一共扩展出 2 个高速扩展口，使用 2 个 100Pin 的板间连接器和扩展板连接。连接器采用 AMP 泰科 BTB 板对板连接器 5177984-4，PIN 脚间距为 0.8mm，公头，连接器的高度为 5mm。和底板的母座 AMP 连接器 5177983-4 配置实现高速数据通信。



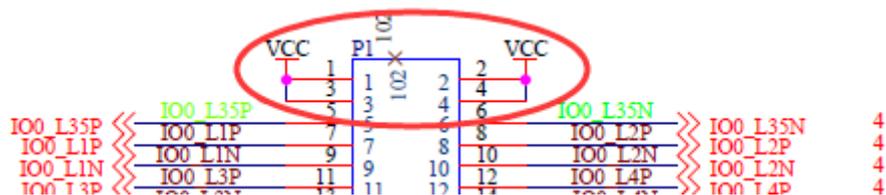




扩展口实物图

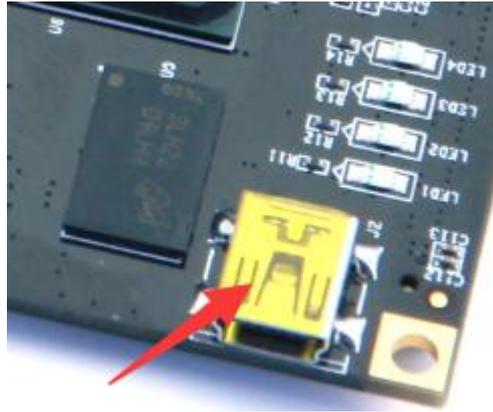
## (六) 电源接口

为了能使核心板正常工作，底板需要通过扩展口提供给核心板一个+5V 的电源，核心板的电源电压工作范围为 4.5V~5.5V，电流为 1A 左右，为了保证一定的余量，底板设计时最好能够提供 5V 2A 的电流。底板提供的 5V 电源通过扩展口 P1,P2 的 1~4 脚（VCC 网络）输入给核心板。



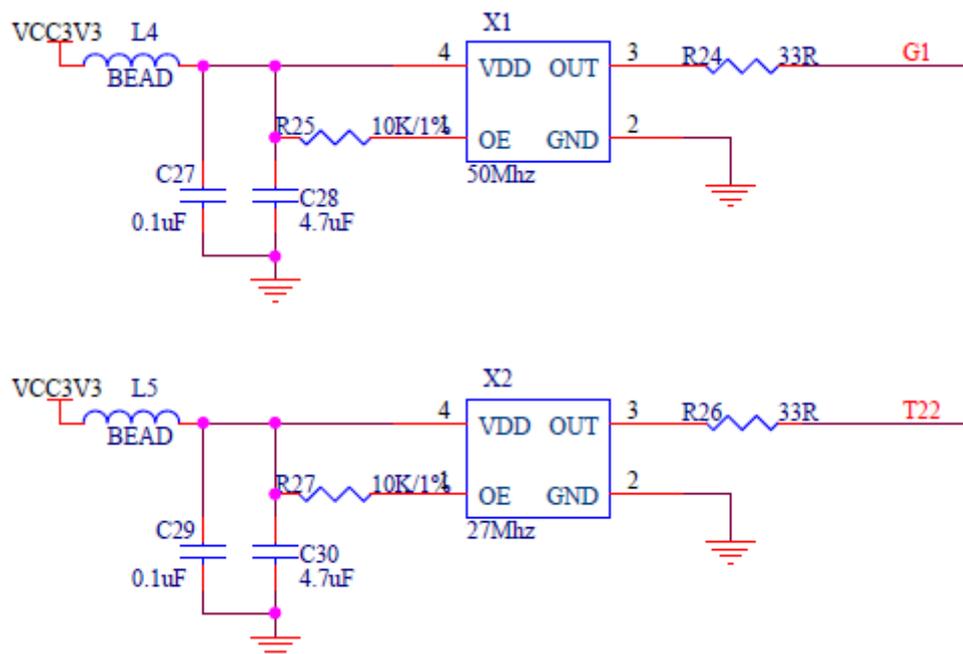
扩展口的电源输入

如果需要单独调试核心板的话，用户也可以通过核心板的 Mini USB 口（J2）单独给核心板供电，用户只要一根我们提供的 Mini USB 线连接到电脑的 USB 口就可以了。（注意：底板供电或者 J2 供电只能二选一）

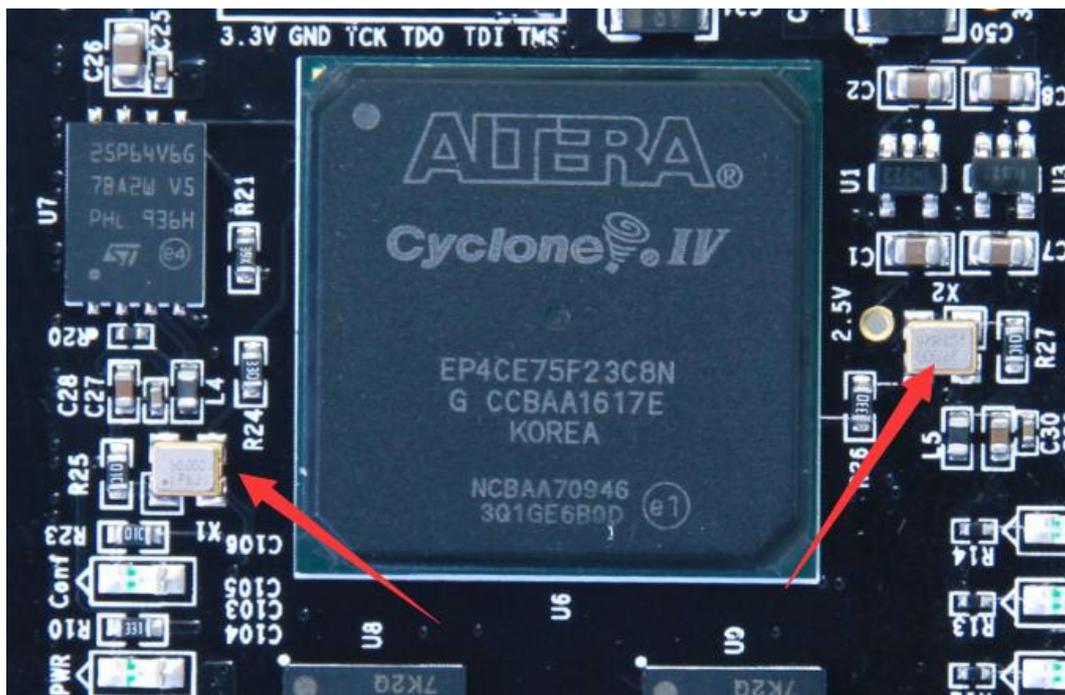


## (七)外部晶振

核心板板载了 50M 的有源晶振和 27M 的有源晶振，50MHz 时钟连接到 FPGA 的 G1 引脚，27MHz 时钟连接到 FPGA 的 T22 引脚。



晶振原理图



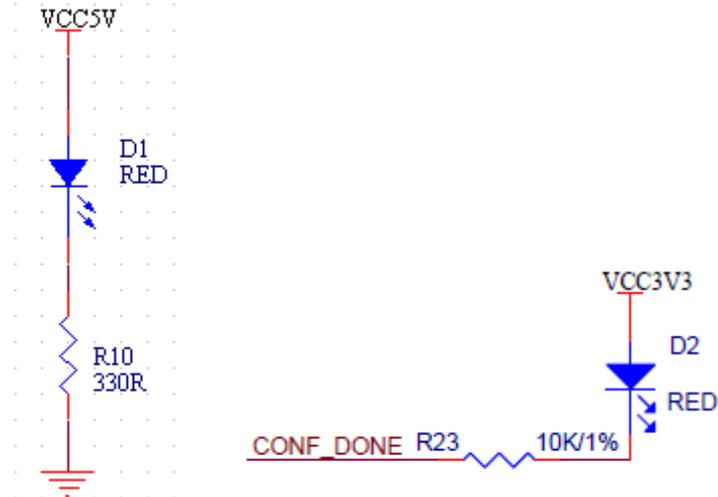
晶振实物图

FPGA 引脚分配：

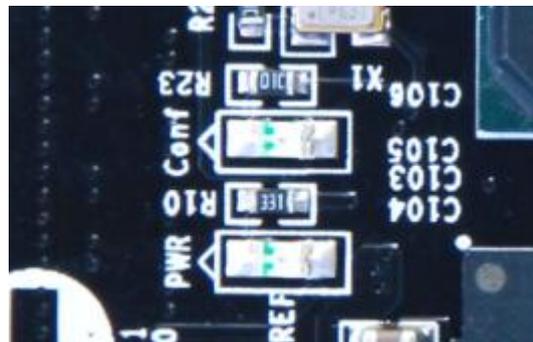
输入时钟	FPGA 引脚
50MHz	G1
27MHz	T22

## (八) LED

核心板板载了 6 个 LED 发光二极管，4 个用户 LED 发光二极管，一个电源指示灯和 1 个 FPGA 配置指示 LED 发光二极管。电源指示灯连接到+5V，如果开发板上电，电源指示 LED 灯亮。FPGA 配置指示灯指示 FPGA 是否配置成功，当 FPGA 没有配置程序时配置指示灯亮；FPGA 配置成功后，配置指示灯灭。电源灯和配置指示灯的原理图如下图。

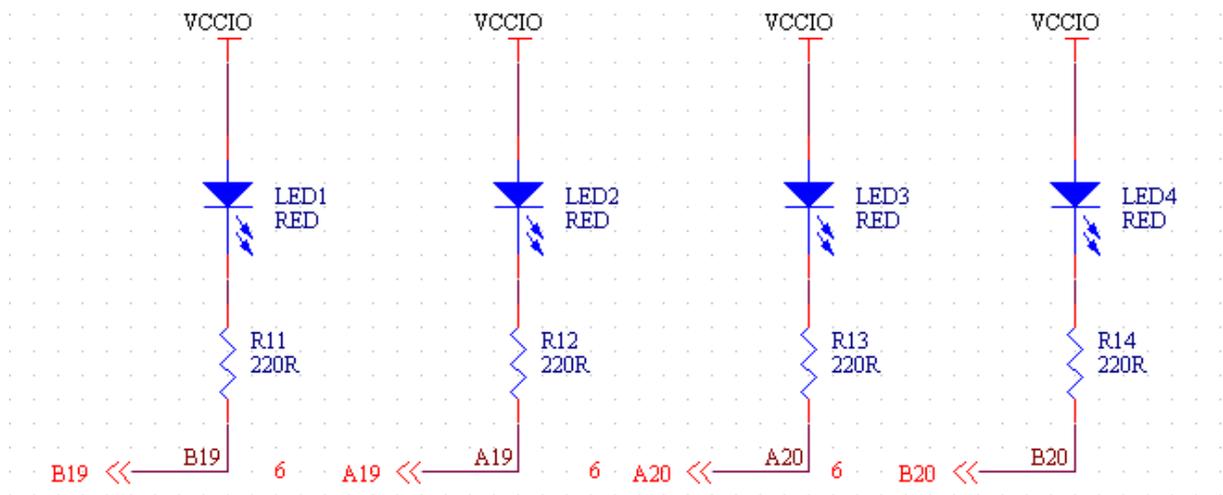


电源灯和配置指示灯原理图

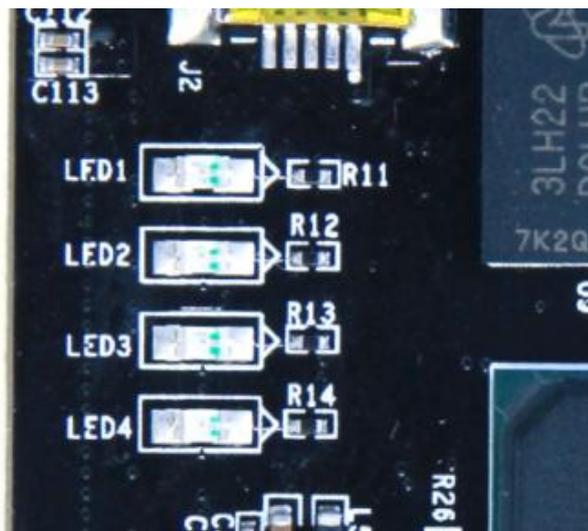


电源 LED 和配置 LED 实物图

4 个用户 LED 部分的原理图如下图，当 FPGA 的引脚输出为逻辑 0 时，LED 会被点亮。



4 个用户 LED 原理图

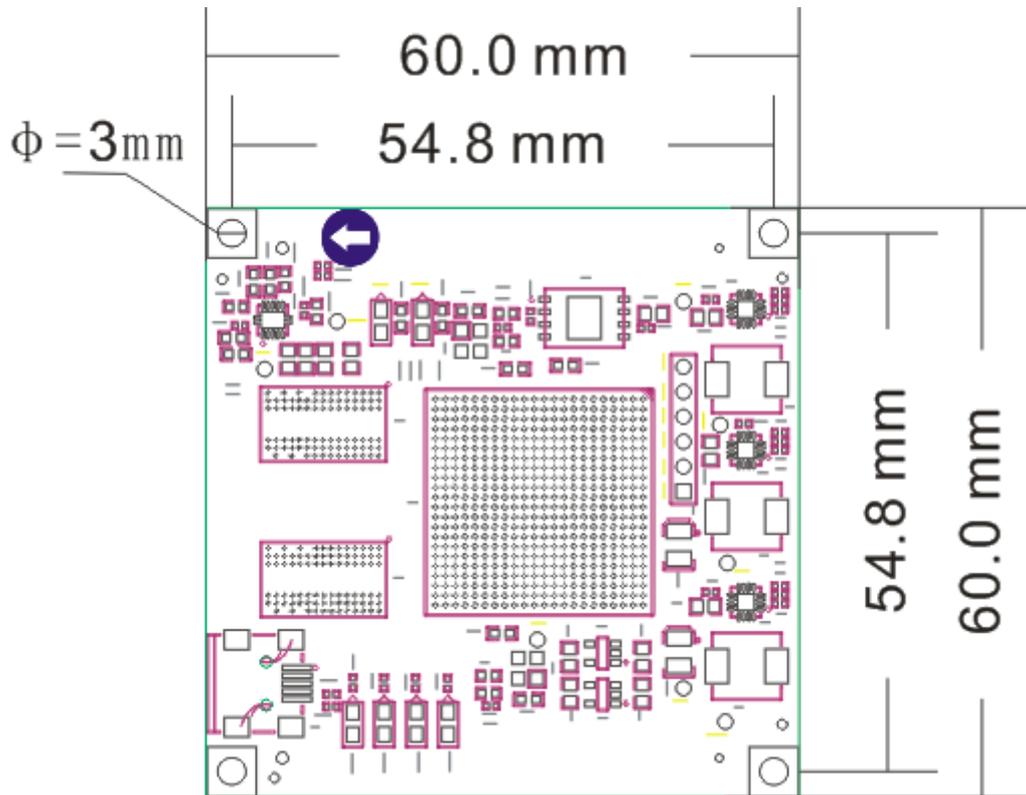


用户 LED 实物图

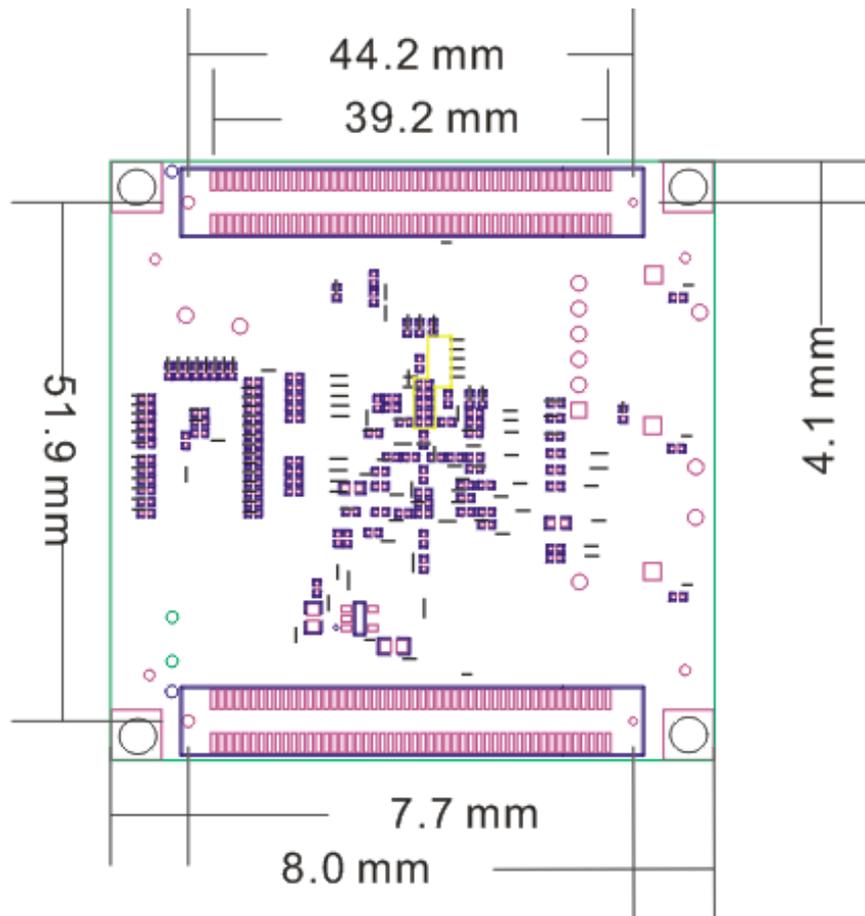
## FPGA 引脚分配：

LED 名称	FPGA 引脚
LED1	B19
LED2	A19
LED3	A20
LED4	B20

## (九) 核心板结构尺寸图



正面图 ( Top View )



背面图 ( Top View )